

ADIODA-PCIF12 MDA

EDV-Nr.: A-407800

64 A/D-Eingänge 12 Bit (single ended) oder
32 A/D-Eingänge 12 Bit (differentiell)
4 K FIFO-Zwischenspeicher
4 D/A-Ausgang 12 Bit
16 TTL-Eingänge
16 TTL-Ausgänge
3 * 16-Bit-Zähler - interruptfähig

Copyright® 2006 by Messcomp Datentechnik GmbH

Diese Dokumentation ist urheberrechtlich geschützt. Alle Rechte sind vorbehalten.

Messcomp Datentechnik GmbH behält sich das Recht vor, die in dieser Dokumentation beschriebenen Produkte jederzeit und ohne Vorankündigung zu verändern.

Ohne schriftliche Genehmigung der Firma Messcomp Datentechnik GmbH darf diese Dokumentation in keinerlei Form vervielfältigt werden.

Geschützte Warenzeichen

IBM PC, PC/XT und PC/AT sind geschützte Warenzeichen von International Business Machines (IBM).

BASIC ist ein geschütztes Warenzeichen von Dartmouth College. Turbo Pascal, Turbo C sind geschützte Warenzeichen von Borland. Quickbasic ist ein eingetragenes Warenzeichen von Microsoft. Powerbasic ist ein eingetragenes Warenzeichen von Robert S. Zale.

wasco® ist ein eingetragenes Warenzeichen.

Haftungsbeschränkung

Die Firma Messcomp Datentechnik GmbH haftet für keinerlei, durch den Gebrauch der Interfacekarte ADIODA-PCIF12_{MDA} und dieser Dokumentation, direkt oder indirekt entstandenen Schäden.

Inhaltsverzeichnis

- 1. Produktbeschreibung**
- 2. Installation der ADIODA-PCIF12_{MDA}**
 - 2.1 Installation der Karte in den Rechner
- 3. Anschlussstecker**
 - 3.1 Lage der Anschlussstecker auf der Platine
 - 3.2 Steckerbelegung von CN1
 - 3.3 Steckerbelegung von CN2
 - 3.4 Steckerbelegung von CN2 auf D-Sub 37 (Steckerverlegungsset)
 - 3.5 Steckerbelegung von CN3
- 4. Jumperblöcke**
 - 4.1 Lage der Jumperblöcke auf der Platine
 - 4.2 Jumperblockbelegung JPCN1
 - 4.3 Jumperblockbelegung JPCN2
 - 4.4 Jumperblockbelegung JPCN3
 - 4.5 Jumperblockbelegung JP1
 - 4.6 Jumperblockbelegung JPADT1/JPADT2
 - 4.7 Jumper JPDA01
 - 4.8 Jumperblockbelegung JPDA1 - JPDA4
- 5. Systemkomponenten**
 - 5.1 Blockschaltbild
 - 5.2 Zugriff auf die Systemkomponenten
 - 5.3 Miniatorsicherungen F1, F2
- 6. 64 A/D-Eingänge 12 Bit**
 - 6.1 A/D-Betriebsarten
 - 6.2 Single-Ended Betrieb
 - 6.3 Differentieller Betrieb
 - 6.4 Abgleich A/D-Wandler und PGA
 - 6.5 A/D-Programmierung
 - 6.6 Summenabtastrate

- 7. 4 D/A-Ausgänge 12 Bit**
 - 7.1 Auswahl des Ausgangsspannungsbereiches
 - 7.2 Abgleich der D/A-Kanäle
 - 7.3 Programmierung der D/A-Kanäle
- 8. 3 * 16 Bit Zähler (Timer 8254)**
- 9. 16 TTL-Eingänge über 74LS244**
- 10. 16 TTL-Ausgänge über 74ABT273**
- 11. Interrupt**
 - 11.1 Interrupt-Anforderungen
 - 11.2 Interruptprogrammierung
- 12. Programmierung unter DOS[®]**
 - 12.1 Programmierung der ADIODA-PCIF12_{MDA}
 - 12.2 Zuordnung der Portadressen
- 13. Programmierung unter Windows[®]**
 - 13.1 Programmierung der ADIODA-PCIF12_{MDA}
 - 13.2 Installation der Windows[®] Treiber
- 14. Zubehör**
 - 14.1 Passendes **wasco**[®]-Zubehör
 - 14.2 Anschlusstechnik (Anwendungsbeispiele)
 - 14.3 Einzelkomponenten zur Eigenkonfektionierung
- 15. Fehlersuche**
- 16. Technische Daten**
- 17. Produkthaftungsgesetz**
- 18. EG-Konformitätserklärung**

1. Produktbeschreibung

Die ADIODA-PCIF12_{MDA} verfügt über 64 massebezogene oder 32 differenzielle 12 Bit A/D-Eingangskanäle mit programmierbarem Verstärker. Die Summenabtastrate beträgt je nach Betriebsart max. 300 kS/s. Multiplexer, PGA und Anlogschalter sind über Register der Steuerlogik oder durch einen programmierbaren Kanal-Verstärkungslistengenerator ansteuerbar. Die Wandlungsauslösung erfolgt per Software, Timer oder ext. Signal. Der A/D-Datenaustausch wird durch Polling des A/D-Statusflags (FIFO-Flag) oder durch Interrupt-Betrieb kontrolliert. Die A/D-Wandlungswerte werden stets über ein 4K FIFO zum Rechner transferiert. Der Eingangsspannungsbereich (unipolar: 0...10 V, bipolar: +/-5 V, +/-10 V) wird mittels Jumper festgelegt. Die vier 12 Bit D/A-Ausgänge können mittels Jumper auf unipolare oder bipolare Betriebsart eingestellt werden. Zeitabhängige Interruptauslösungen ermöglicht eine Timer/Quarzoszillator-Kombination. Zusätzlich verfügt die Karte über 16 TTL-Eingänge, 16 TTL-Ausgänge und einen leistungsfähigen DC/DC-Wandler. Der Peripherieanschluss erfolgt über zwei 68polige SCSI-II Buchsen und einen 40poligen Pfostenstecker.

2. Installation der ADIODA-PCIF12_{MDA}

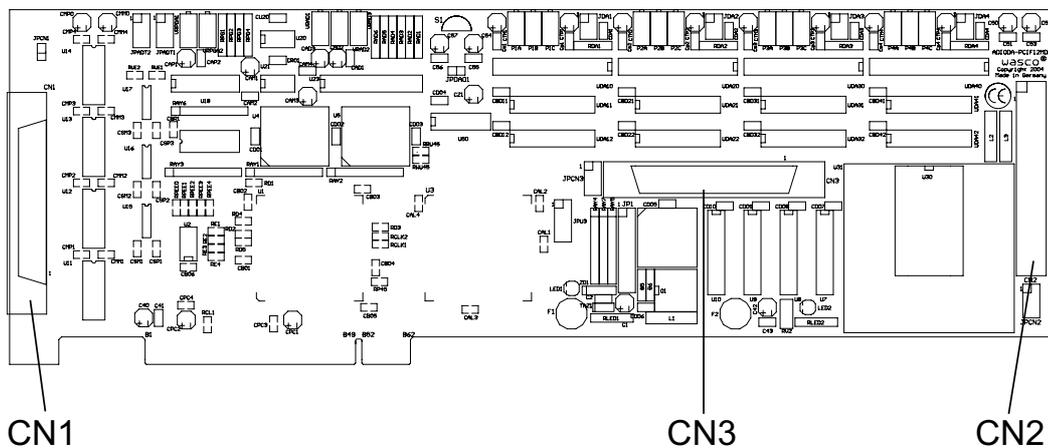
2.1 Installation der Karte in den Rechner

Achten Sie vor dem Einbau der ADIODA-PCIF12 darauf, dass der Rechner vom Netz getrennt oder zumindest ausgeschaltet ist. Beim Einbau der Interface-Karte in den laufenden Rechner besteht die Gefahr, dass neben der ADIODA-PCIF12 auch andere Karten des PCs oder Rechners beschädigt oder zerstört werden.

Wählen Sie in Ihrem Rechner einen freien PCI-Steckplatz in den Sie dann die Karte einsetzen. Nehmen Sie dazu auch das Benutzerhandbuch Ihres Computers zu Hilfe. Verschrauben Sie das Slotblech der Platine mit dem Rechnergehäuse, damit sich die Karte nicht während des Betriebs unter Einwirkung der Anschlusskabel aus dem Steckplatz lösen kann.

3. Anschlussstecker

3.1 Lage der Anschlussstecker auf der Platine



CN1:
A/D-Eingangskanäle AIN00...AIN63, Eingang für externe Triggerung,
D/A-Ausgang DAOUT1

CN2:
D/A-Ausgangskanäle DAOUT1...DAOUT4

CN3:
16 TTL-Eingänge DIN00...DIN15
16 TTL-Ausgänge DOUT00...DIN15

3.2 Steckerbelegung von CN1

AGND	68	□	□	34	Vcc
EXT_TRIG	67	□	□	33	AOUT1
AIN63	66	□	□	32	AIN62
AIN61	65	□	□	31	AIN60
AIN59	64	□	□	30	AIN58
AIN57	63	□	□	29	AIN56
AIN55	62	□	□	28	AIN54
AIN53	61	□	□	27	AIN52
AIN51	60	□	□	26	AIN50
AIN49	59	□	□	25	AIN48
AIN47	58	□	□	24	AIN46
AIN45	57	□	□	23	AIN44
AIN43	56	□	□	22	AIN42
AIN41	55	□	□	21	AIN40
AIN39	54	□	□	20	AIN38
AIN37	53	□	□	19	AIN36
AIN35	52	□	□	18	AIN34
AIN33	51	□	□	17	AIN32
AIN31	50	□	□	16	AIN30
AIN29	49	□	□	15	AIN28
AIN27	48	□	□	14	AIN26
AIN25	47	□	□	13	AIN24
AIN23	46	□	□	12	AIN22
AIN21	45	□	□	11	AIN20
AIN19	44	□	□	10	AIN18
AIN17	43	□	□	9	AIN16
AIN15	42	□	□	8	AIN14
AIN13	41	□	□	7	AIN12
AIN11	40	□	□	6	AIN10
AIN09	39	□	□	5	AIN08
AIN07	38	□	□	4	AIN06
AIN05	37	□	□	3	AIN04
AIN03	36	□	□	2	AIN02
AIN01	35	□	□	1	AIN00

Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

3.3 Steckerbelegung CN2

AOUT1	1	○	○	2	AGND
AOUT2	3	○	○	4	AGND
AOUT3	5	○	○	6	AGND
AOUT4	7	○	○	8	AGND
NC	9	○	○	10	AGND
NC	11	○	○	12	AGND
NC	13	○	○	14	AGND
NC	15	○	○	16	AGND
NC	17	○	○	18	AGND
NC	19	○	○	20	AGND
NC	21	○	○	22	AGND
NC	23	○	○	24	AGND
NC	25	○	○	26	AGND
NC	27	○	○	28	AGND
NC	29	○	○	30	AGND
NC	31	○	○	32	AGND
NC	33	○	○	34	GND
Vcc	35	○	○	36	GND
Vcc	37	○	○	38	NC
NC	39	○	○	40	NC

Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

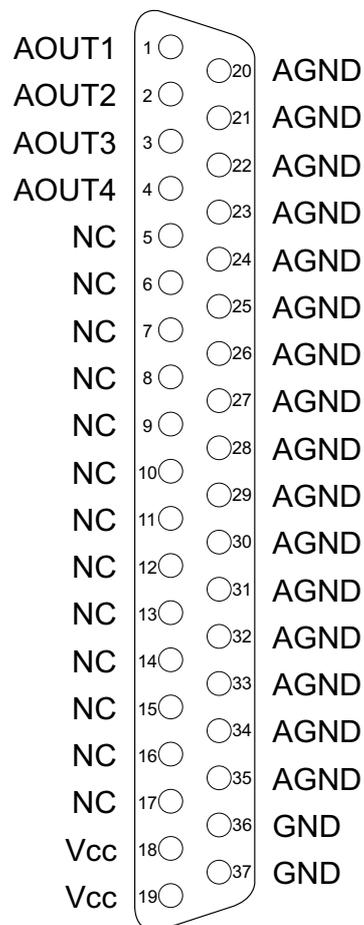
GND:

Masse des Rechners

NC:

Pin nicht belegt

3.4 Steckerbelegung von CN2 auf D-Sub 37 (Steckerverlegungsset)



Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

GND:

Masse des Rechners

NC:

Pin nicht belegt

3.5 Steckerbelegung CN3

GND	68	□	□	34	Vcc
GND	67	□	□	33	Vcc
NC	66	□	□	32	NC
NC	65	□	□	31	NC
NC	64	□	□	30	NC
NC	63	□	□	29	NC
NC	62	□	□	28	NC
NC	61	□	□	27	NC
NC	60	□	□	26	NC
NC	59	□	□	25	NC
DOUT15	58	□	□	24	DOUT14
DOUT13	57	□	□	23	DOUT12
DOUT11	56	□	□	22	DOUT10
DOUT09	55	□	□	21	DOUT08
DOUT07	54	□	□	20	DOUT06
DOUT05	53	□	□	19	DOUT04
DOUT03	52	□	□	18	DOUT02
DOUT01	51	□	□	17	DOUT00
NC	50	□	□	16	NC
NC	49	□	□	15	NC
NC	48	□	□	14	NC
NC	47	□	□	13	NC
NC	46	□	□	12	NC
NC	45	□	□	11	NC
NC	44	□	□	10	NC
NC	43	□	□	9	NC
DIN15	42	□	□	8	DIN14
DIN13	41	□	□	7	DIN12
DIN11	40	□	□	6	DIN10
DIN09	39	□	□	5	DIN08
DIN07	38	□	□	4	DIN06
DIN05	37	□	□	3	DIN04
DIN03	36	□	□	2	DIN02
DIN01	35	□	□	1	DIN00

Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

GND:

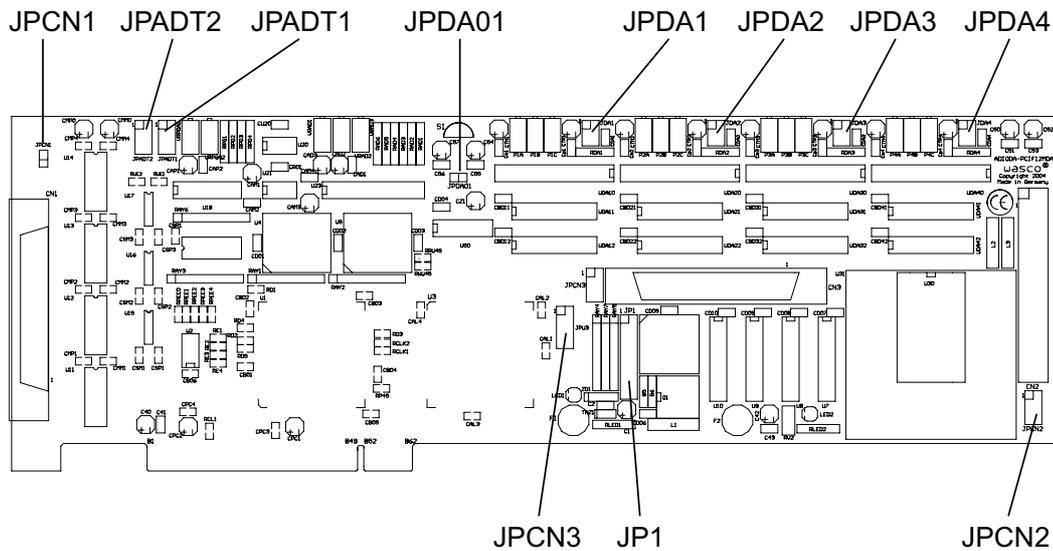
Masse des Rechners

NC:

Pin nicht belegt

4. Jumperblöcke

4.1 Lage der Jumperblöcke auf der Platine

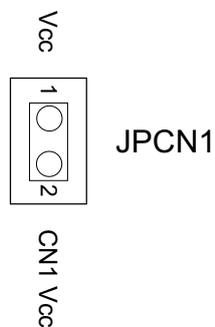


- JP1: Jumperblock für Anwendung des Timers
- JPCN1: Verbinden der internen Versorgungsspannung des PC auf die SCSI-II Buchse CN1
- JPCN2: Verbinden der internen Versorgungsspannung des PC auf die SCSI-II Buchse CN2
- JPCN3: Verbinden der internen Versorgungsspannung des PC auf die SCSI-II Buchse CN3
- JPADT1: Einstellung des A/D-Eingangsspannungsbereiches
- JPADT2: Einstellung des A/D-Eingangsspannungsbereiches
- JPDA01: Verbinden von DAOUT1 auf CN1Pin 33
- JPDA1...4: Einstellung des D/A-Ausgangsspannungsbereiches

Achtung: JPU3 dient ausschließlich internen Testzwecken. Um Beschädigungen an der Karte zu vermeiden dürfen vom Anwender keinerlei Jumper gesetzt werden!

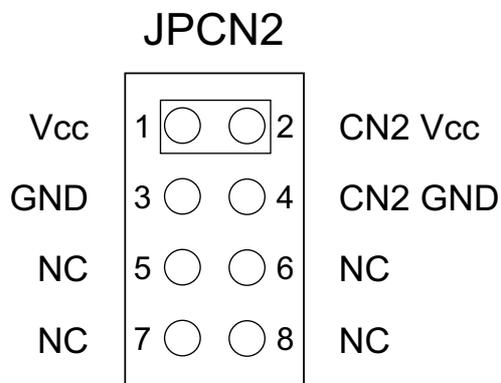
4.2 Jumperblockbelegung JPCN1

Durch das Setzen einer Jumperbrücke an JPCN1 ist es möglich, die interne Versorgungsspannung Vcc (+5V) des Rechners auf die SCSI-II Buchse CN1 zu legen.

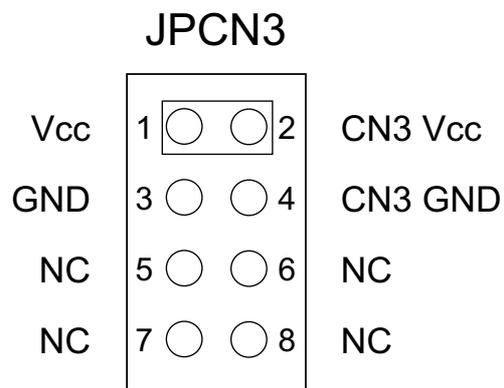


4.3 Jumperblockbelegung JPCN2

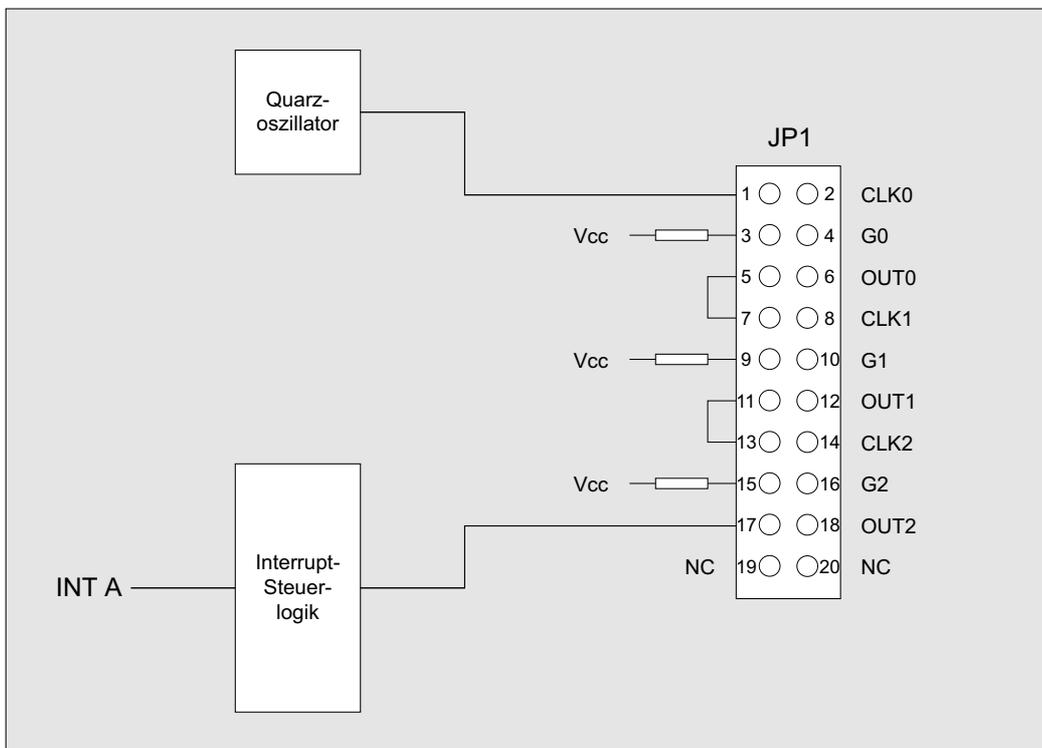
Durch das Setzen von Jumperbrücken an JPCN2 ist es möglich, die interne Versorgungsspannung Vcc (+5V) und die Masse (GND) des Rechners auf die SCSI-II Buchse CN2 zu legen.



4.4 Jumperblockbelegung JPCN3



4.5 Jumperblockbelegung JP1

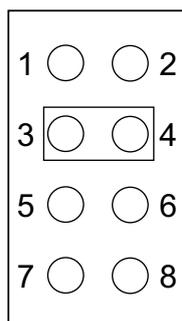


4.6 Jumperblockbelegung JPADT1/JPADT2

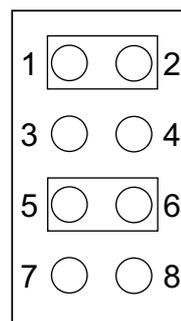
Die Festlegung des A/D-Eingangsspannungsbereiches erfolgt über die Jumperstellung an JPADT1 und JPADT2. Für die möglichen Eingangsspannungsbereiche ergeben sich folgende Jumperstellungen:

bipolare Betriebsart +/-10V

JPADT2

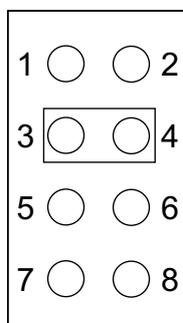


JPADT1

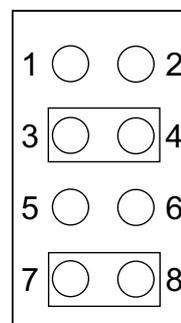


bipolare Betriebsart +/-5V

JPADT2

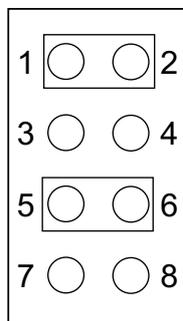


JPADT1

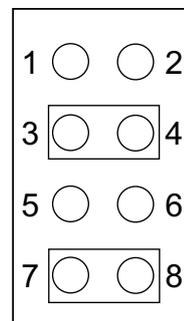


unipolare Betriebsart 0...10V

JPADT2



JPADT1



Wichtiger Hinweis:

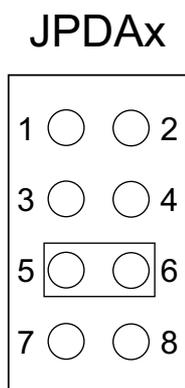
Eingangsspannungen außerhalb des eingestellten Eingangsspannungsbereiches sowie Jumperstellungen, die von den hier genannten abweichen, sind um Beschädigungen an der ADIODA-PCIF12_{MDA} auszuschließen, unbedingt zu vermeiden.

4.7 Jumper JPDA 01

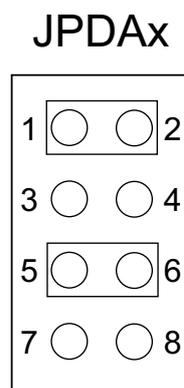
Über Jumper JPDA01 kann der D/A-Ausgang DAOUT1 auf die SCSI-II Buchse CN1 Pin 33 gelegt werden. Dieser Jumper dient kompatibilitätszwecken, und ist standardmäßig nicht gesetzt!

4.8 Jumperblockbelegung JPDA 1... JPDA4

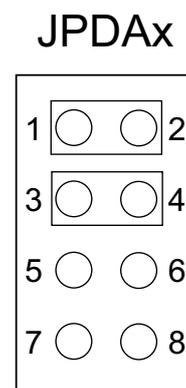
Durch das Setzen von Jumpers am Jumperblock JDA...JPDA4 können Sie den für Sie geeigneten Ausgangsspannungsbereich sowie die Betriebsart (unipolar/bipolar) für die D/A-Ausgänge auswählen. Standardmäßig wird vor der Auslieferung an JPDA1...JPDA4 die Jumperverbindung 5-6 für den Ausgangsspannungsbereich bipolar +/-10V gesetzt. Die Zuordnung der Betriebsart und der Ausgangsspannungsbereiche zu den Jumperverbindungen entnehmen Sie bitte den folgenden drei Beispielen:



bipolar +/-10V
(default)



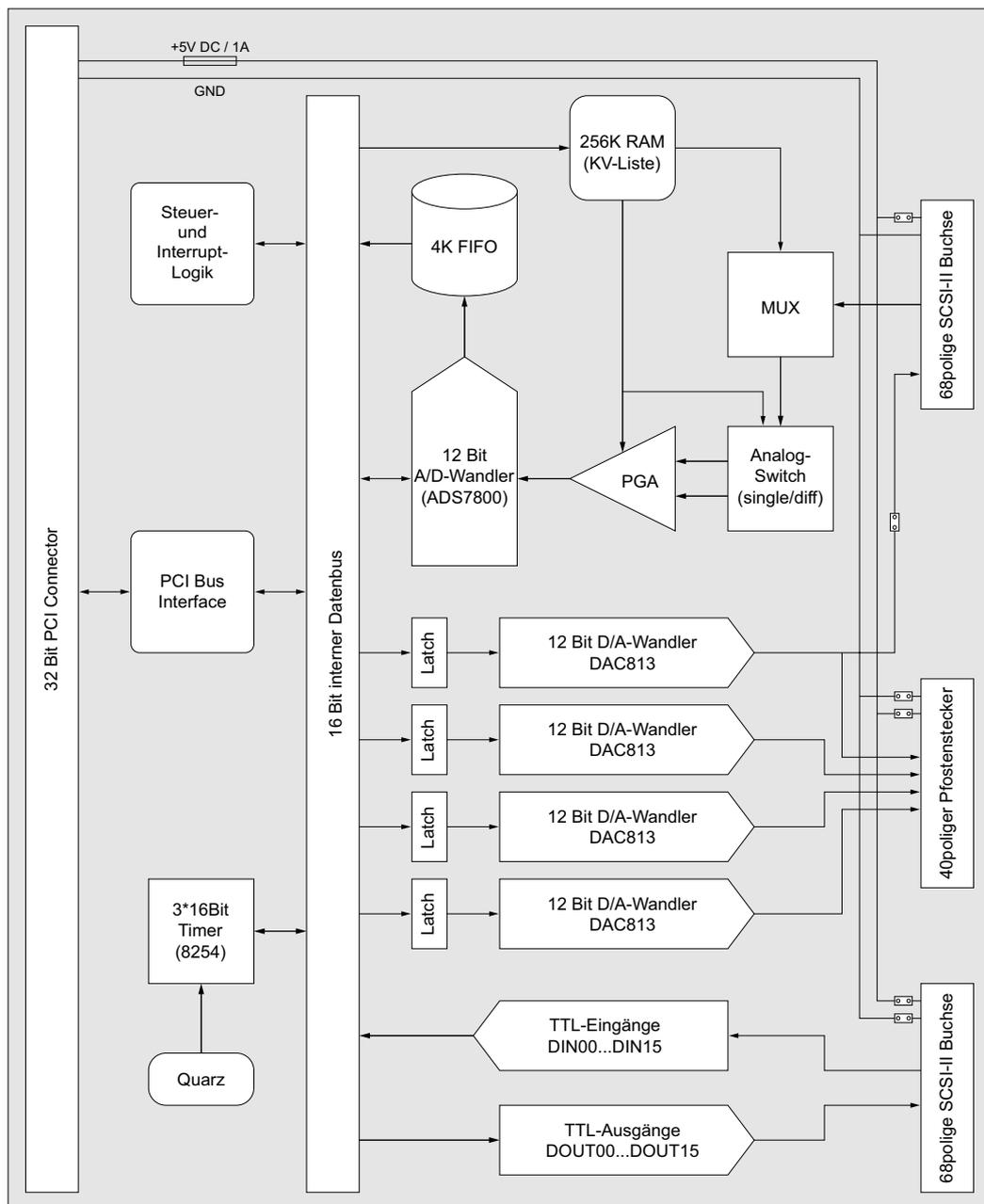
bipolar +/-5V



unipolar 0...10V

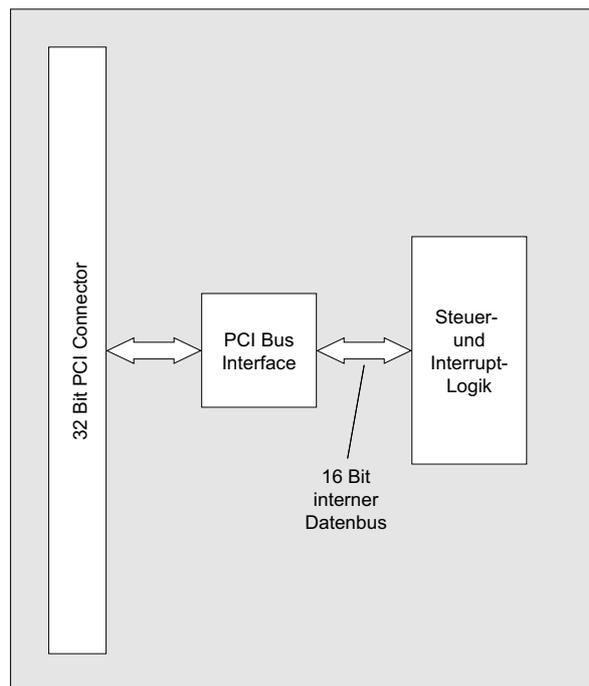
5. Systemkomponenten

5.1 Blockschaubild



5.2 Zugriff auf die Systemkomponenten

Der Zugriff auf die Hardware-Komponenten der ADIODA-PCIF12_{MDA} erfolgt durch das Lesen von bzw. Schreiben in Portadressen mit Hilfe von Library-Funktionen. Die für die ADIODA-PCIF12_{MDA} relevanten Portadressen ergeben sich abhängig von einer vom PCI-Bios vergebenen Basisadresse. Der Portzugriff auf die ADIODA-PCIF12_{MDA} erfolgt ausschließlich im Word Zugriff (16Bit), Byte und Doppel-Word Zugriffe können nicht verwendet werden. (Hinweise hierzu finden Sie im Kapitel Programmierung sowie in den Beispielprogrammen auf der mitgelieferten CD).



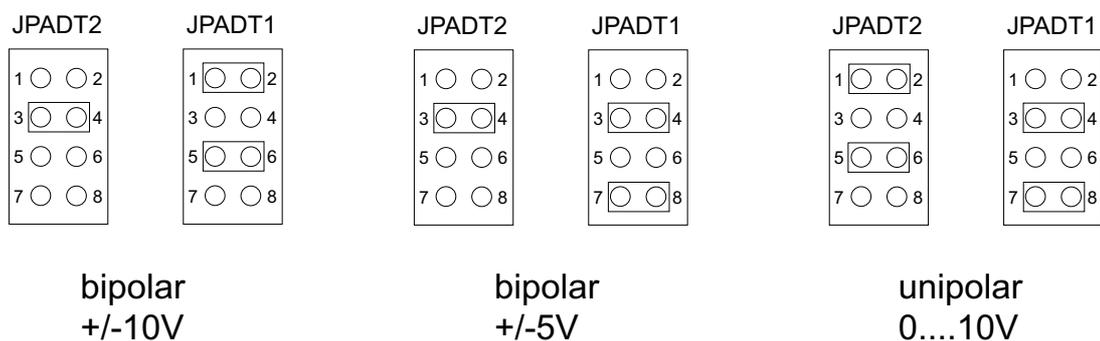
5.3 Miniatorsicherungen F1, F2

Um Schäden an der Karte zu vermeiden, befinden sich zwei Miniatorsicherungen (F1, F2) und zwei Kontroll-LEDs für die Versorgungsspannungen der A/D, D/A, Timer- und I/O-Komponenten auf der Karte. PCI-Bus Interface und Ansteuerlogik werden direkt vom PCI-Bus mit Spannung versorgt!

6. 64 A/D-Eingänge 12 Bit

Die ADIODA-PCIF12_{MDA} verfügt über 64 gemultiplexte 12-Bit-A/D-Eingangskanäle (single ended) oder 32 gemultiplexte 12-Bit-A/D-Eingangskanäle (differenziell) mit programmierbarem Verstärker. Die A/D-Eingänge AIN00...AIN63 werden über Multiplexer, PGA und Analogschalter (single ended oder differenziell) an den A/D-Wandler ADS7800 gelegt. Die Ansteuerung der Multiplexer, PGA und den Analogschaltern erfolgt über Register der Steuerlogik oder durch einen programmierbaren Kanal-Verstärkungslisten-Generator. Die Wandlungsauslösung erfolgt durch Software-Trigger, Timer oder ein externes Triggersignal. Der A/D-Datenaustausch wird entweder durch Polling von A/D-(FIFO)-Statusflags oder durch Interrupt-Betrieb kontrolliert. Unabhängig von der Betriebsart werden die A/D-Wandlungswerte stets über den FIFO-Speicherbereich (Speichertiefe 4K) zum Rechner transferiert.

Für die möglichen Eingangsspannungsbereiche ergeben sich folgende Jumperstellungen:



6.1 A/D-Betriebsarten

Die einzelnen Betriebsarten der ADIODA-PCIF12_{MDA} lassen sich folgendermaßen untergliedern:

A/D-Wandlungsauslösung:

- Software-Trigger
- Pacer (Timer) Auslösung
- externe Triggerung

PGA und Multiplexer-Ansteuerung:

- Register-Ansteuerung
- programmierbare Kanal-Verstärkungsliste

A/D-Beschaltungsart:

- single ended
- differentiell

Datenaustausch:

- Polling-Betrieb
- Interrupt-Betrieb

A/D-Wandlungsauslösung:

- Software-Trigger

Die softwaremäßige A/D-Wandlungsauslösung erfolgt durch das Schreiben eines beliebigen Wortes in die Portadresse swtrig (Basisadresse BA + \$00).

- Pacer (Timer) Auslösung

Die Wandlungen werden in programmierbaren Zeitintervallen durch das karteninterne Quarzoszillator-Timer-System ausgelöst.

- externe Triggerung

Die Wandlungsauslösung erfolgt durch ein über die SCSI-II Buchse CN1 zugeführtes externes Triggersignal.

PGA und Multiplexer Ansteuerung:

- Software-Trigger

In diesem Betriebsmodus erfolgt die Ansteuerung von PGA und Multiplexer über die Register **startch** und **adrange**.

- programmierbare Kanal-Verstärkungsliste

Ansteuerung von PGA und Multiplexer über einen programmierbaren Onboard-Speicherbereich. Durch dessen Initialisierung werden den einzelnen A/D-Eingangskanälen der ADIODA-PCIF12 für den weiteren Programmablauf kanalspezifische Verstärkungsfaktoren und die Beschaltungsart zugewiesen.

Eingangsspannungsbereich		
Verstärkungsfaktor (PGA)	unipolar	bipolar
1	0-10V	+/-10V
2	0-5V	+/-5V
4	0-2,5V	+/-2,5V
8	0-1,25V	+/-1,25 V

Beschaltungsart der A/D-Eingänge:

- single ended

Messung von AINxx bezogen auf die Masse AGND (Pin 68 an CN1), (xx = 0...63)

- differentiell

Messung von AINxx bezogen auf AINxx+1, (xx = 0, 2, 4, 6, 8...62)

Als Beispiel:

Differentieller Eingang 0

+ Eingang --> AIN00 (Pin 1 von CN1)
 - Eingang --> AIN01 (Pin 35 von CN1)

Differentieller Eingang 1

+ Eingang --> AIN02 (Pin 2 von CN1)
 - Eingang --> AIN03 (Pin 36 von CN1)

Datenaustausch:

- Polling-Betrieb

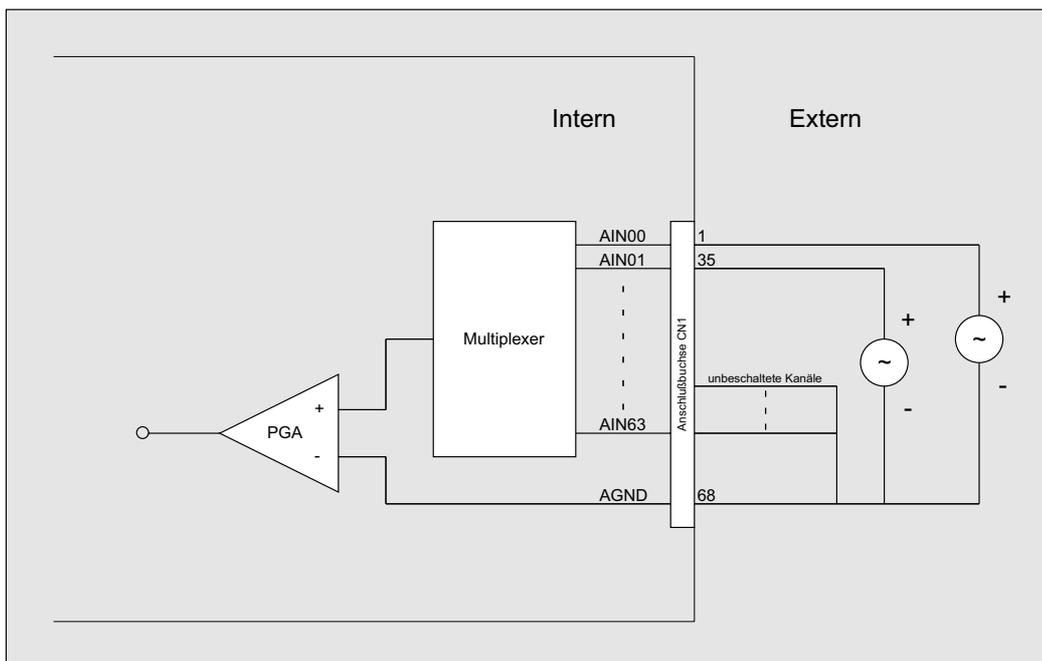
Im Polling-Betrieb wird das Vorliegen gültiger A/D-Werte durch das Lesen des A/D-Status-Registers **adstat** (Portadresse BA + \$06) festgestellt

- Interrupt-Betrieb

Im Interrupt-Betrieb erfolgt eine Interrupt-Auslösung sobald das FIFO-HALFFULL-FLAG (2048 Werte im FIFO) gesetzt ist. Die A/D-Werte können dann blockweise gelesen werden.

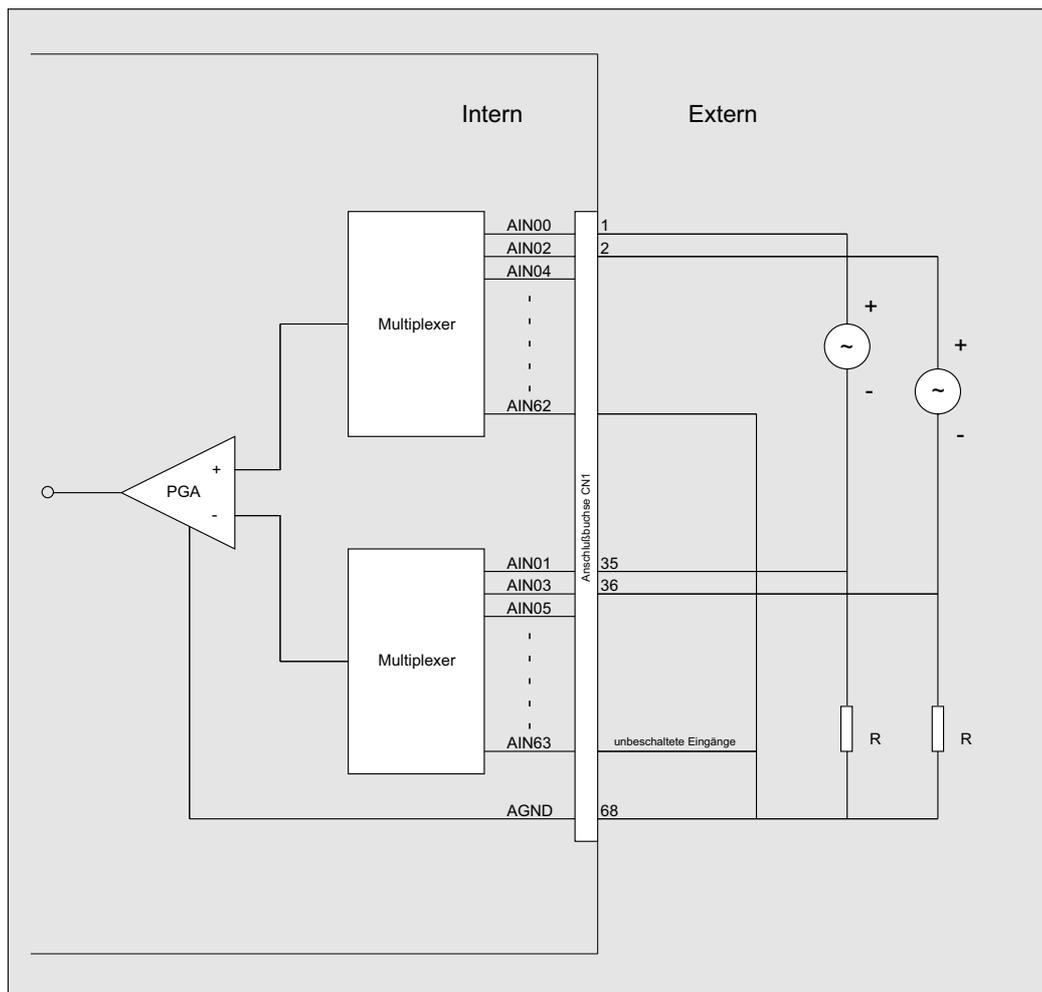
6.2 Single-Ended Betrieb

Im Single-Ended Betrieb stehen max. 64 Eingangskanäle zur Verfügung. Alle Eingangsspannungen werden gegen die Masse (AGND) der A/D-Komponenten gemessen. Dazu müssen alle Minusleitungen der Messsignalquellen mit der Masse (AGND an CN1) verbunden werden. Die Signalleitungen werden mit den gewünschten Eingangskanälen verbunden. Offene Eingangskanäle sollten auf Masse (AGND) gelegt werden!



6.3 Differentieller Betrieb

Im differentiellen Betrieb stehen max. 32 Eingangskanäle zur Verfügung. In der differentiellen Betriebsart gibt es für jeden Kanal jeweils einen Plus- und einen Minus-Eingang. Bitte beachten Sie dass zur Erzielung maximaler Störsicherheit für alle Kanäle ebenfalls ein Bezug zur Masse (AGND) hergestellt werden muss. Allgemein auftretende Störspannungen (Common mode voltage) zwischen der Signalquelle und der Analogmasse der Karte können dadurch ebenfalls reduziert werden.



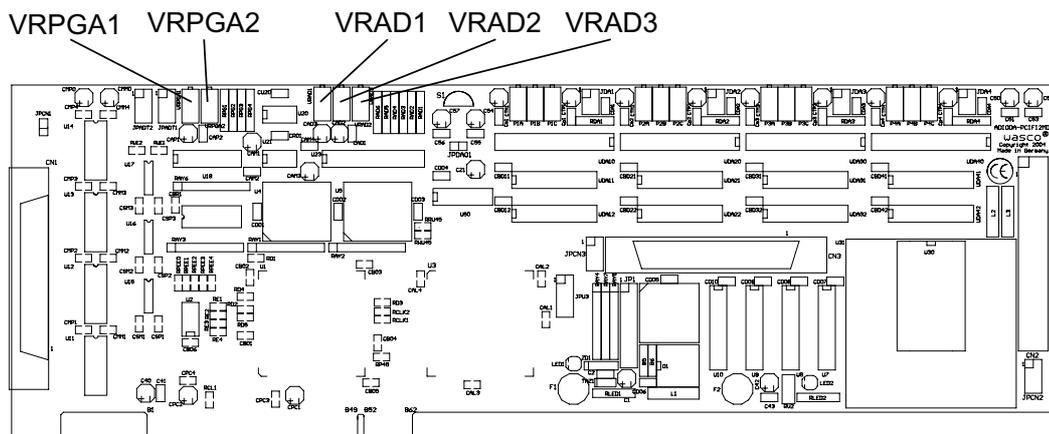
Die Zuordnung der Anschlüsse für den differentiellen Betrieb entnehmen Sie bitte der folgenden Tabelle:

+ Eingang	Pin Nr. an CN1	- Eingang	Pin Nr. an CN1		+ Eingang	Pin Nr. an CN1	- Eingang	Pin Nr. an CN1
Kanal 0	1(AIN00)	Kanal 0	35(AIN01)		Kanal 16	17(AIN32)	Kanal 16	51(AIN33)
Kanal 1	2(AIN02)	Kanal 1	36(AIN03)		Kanal 17	18(AIN34)	Kanal 17	52(AIN35)
Kanal 2	3(AIN04)	Kanal 2	37(AIN05)		Kanal 18	19(AIN36)	Kanal 18	53(AIN37)
Kanal 3	4(AIN06)	Kanal 3	38(AIN07)		Kanal 19	20(AIN38)	Kanal 19	54(AIN39)
Kanal 4	5(AIN08)	Kanal 4	39(AIN09)		Kanal 20	21(AIN40)	Kanal 20	55(AIN41)
Kanal 5	6(AIN10)	Kanal 5	40(AIN11)		Kanal 21	22(AIN42)	Kanal 21	56(AIN43)
Kanal 6	7(AIN12)	Kanal 6	41(AIN13)		Kanal 22	23(AIN44)	Kanal 22	57(AIN45)
Kanal 7	8(AIN14)	Kanal 7	42(AIN15)		Kanal 23	24(AIN46)	Kanal 23	58(AIN47)
Kanal 8	9(AIN16)	Kanal 8	43(AIN17)		Kanal 24	25(AIN48)	Kanal 24	59(AIN49)
Kanal 9	10(AIN18)	Kanal 9	44(AIN19)		Kanal 25	26(AIN50)	Kanal 25	60(AIN51)
Kanal 10	11(AIN20)	Kanal 10	45(AIN21)		Kanal 26	27(AIN52)	Kanal 26	61(AIN53)
Kanal 11	12(AIN22)	Kanal 11	46(AIN23)		Kanal 27	28(AIN54)	Kanal 27	62(AIN55)
Kanal 12	13(AIN24)	Kanal 12	47(AIN25)		Kanal 28	29(AIN56)	Kanal 28	63(AIN57)
Kanal 13	14(AIN26)	Kanal 13	48(AIN27)		Kanal 29	30(AIN58)	Kanal 29	64(AIN59)
Kanal 14	15(AIN28)	Kanal 14	49(AIN29)		Kanal 30	31(AIN60)	Kanal 30	65(AIN61)
Kanal 15	16(AIN30)	Kanal 15	50(AIN31)		Kanal 31	32(AIN62)	Kanal 31	66(AIN63)

Bei den analogen Eingängen ist eine Kombination aus single-ended Eingängen und differentiellen Eingängen möglich. Hierbei ist jedoch auf die Zuordnung der differentiellen Eingänge zu achten. Diese sind wie in der Tabelle zu sehen ist, fest zugeordnet. Die Zuordnung muss vom Anwender unbedingt beachtet werden!

6.4 Abgleich A/D-Wandler und PGA

Die ADIODA-PCIF12_{MDA} ist standardmäßig auf den bipolaren Eingangsspannungsbereich +/-10V eingestellt und abgeglichen. Bei Änderungen der Grundeinstellung sowie zur Erzielung maximaler Genauigkeit unter Betriebsbedingungen kann ein erneuter Abgleich des A/D-Systems notwendig sein. Die Einstellung des Eingangsspannungsbereiches erfolgt mit Hilfe der Jumperblöcke JPADT1 und JPADT2, der Abgleich mit den Trimm-Potentiometern VRPGA1, VRPGA2, VRAD1, VRAD2 und VRAD3.



Abgleich des PGA:

- > Jumper ziehen bzw. umsetzen:
JPADT1 alle Jumper ziehen!
JPADT2 3-4 gesetzt, Rest offen!
- > Den momentan selektierten Eingangs-Kanal (Default-Kanal: Nr.1)
mit AGND (CN1, Pin 68) verbinden
- > PGA-Verstärkung $v = 8$ setzen
- > Spannung an Pin 1 von Jumperblock JPADT1
(bezogen auf GND) abgreifen
- > PGA-Nullpunktoffset mit dem Trimm-Potentiometer VRPGA1
abgleichen (UJPADT1 Pin1 = 0.00000V)
- > PGA Abgleich beendet!

Abgleich des A/D-Wandlers:

--> nur falls unipolare Betriebsart!

Jumper ziehen bzw. umsetzen:

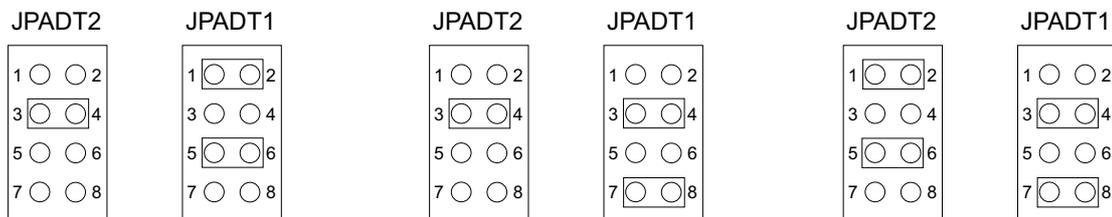
JPADT2: 5-6 gesetzt, Rest offen

JPADT1: alle offen

Spannung an Pin 2 von JPADT2 abgreifen und mit Trimm-
poti VRPGA2 auf -4,9800 V einstellen

--> Jumper ziehen bzw. umsetzen:

JPADT1 und JPADT2 je nach gewünschtem Eingangsbereich setzen!



bipolar
+/-10V

bipolar
+/-5V

unipolar
0....10V

--> PGA Verstärkung 1 setzen!

--> Offset Abgleich!

unipolare Betriebsart (0....10V)

Bei Anlegen einer Spannung von 4,9966V ($V_{fsr} - 1/2 \text{ LSB}$)
soll der digitale Wert zwischen

0111 1111 1111 und 1000 0000 0000 schwanken.

Abgleich Trimmer: VRAD3

bipolare Betriebsart

Bei Anlegen einer Spannung von $V_{fsr} - 1/2 \text{ LSB}$

(= -2,44mV bei +/-10V)

(= -1,22mV bei +/-5V)

soll der digitale Wert zwischen

0111 1111 1111 und 1000 0000 0000 schwanken.

Abgleich Trimmer: VRAD2 (bei +/-10V)

VRAD3 (bei +/-5V)

--> Endbereich Abgleich!

unipolare Betriebsart (0....10V)

Bei Anlegen einer Spannung von 9,9963V ($V_{fsr} - 1/2 \text{ LSB}$)

soll der digitale Wert zwischen

1111 1111 1110 und 1111 1111 1111 schwanken.

Abgleich Trimmer: VRAD1

bipolare Betriebsart

Bei Anlegen einer Spannung von $V_{fsr} - 1/2 \text{ LSB}$

(= 9,9927V bei +/-10V)

(= 4,9963V bei +/-5V)

soll der digitale Wert zwischen

1111 1111 1110 und 1111 1111 1111 schwanken.

Abgleich Trimmer: VRAD1

--> A/D-Abgleich beendet!

6.5 A/D-Programmierung

A/D-Kontrollregister (adcont) (Portadresse BA + \$04, Schreibzugriff):

Funktion: Festlegung der A/D-Betriebsart
 Format: Wort [adcont15...adcont00]

adcont15...adcont08	adcont07	adcont06	adcont05	adcont04	adcont03	adcont02	adcont01	adcont00	Funktion
beliebig						0	0	1	Software-Auslösung
						0	1	0	Timer-Auslösung
						1	0	0	Externe Triggerung
					0				kein Schreibzugriff auf Kanalliste
					1				Kanalliste kann initialisiert werden
			1	1					PGA-Ansteuerung über Register „adrange“
			0	0					PGA-Ansteuerung über Kanalliste
		0							„Laden“ Startkanal gesperrt
		1							„Laden“ der Startkanalnummer
		0							MUX-Ansteuerung über Kanalliste
		1							MUX-Ansteuerung über Register „startch“

Achtung: Es ist zu beachten, dass das Register "adcont" multifunktional verwendet wird und sich daraus unterschiedliche Bitmuster ergeben können. Eine Übersicht der wichtigsten Befehlscodes können Sie auf der folgenden Seite finden!

Übersicht Befehlscodes (adcont) der wichtigsten A/D-Betriebsarten:

<u>adcont</u>	<u>A/D-Betriebsart</u>
\$B1	Software A/D-Auslösung/Register-Ansteuerung von PGA und MUX
\$B2	Timer A/D-Auslösung/Register-Ansteuerung von PGA und MUX
\$B4	A/D-Auslösung durch externen Trigger/Register-Ansteuerung von PGA und MUX
\$01	Software A/D-Auslösung/Kanal-Verstärkungs-Listen-Ansteuerung von PGA und MUX
\$02	Timer A/D-Auslösung/Kanal-Verstärkungs-Listen-Ansteuerung von PGA und MUX
\$04	A/D-Auslösung durch externen Trigger/Kanal-Verstärkungs-Listen-Ansteuerung von PGA und MUX
\$D8	Initialisierung des KVL-Generators

Initialisierung der Kanal-Verstärkungsliste (Onboard-Bereich)

\$D8	-->	"adcont" schreiben
Kanalnummer	-->	Register "startch" schreiben
PGA, single/diff	-->	Register "adrange" schreiben

(bei KVL/Software-Auslösung)

\$01

\$41

"Lade Startkanal":
Setzt KVL-Generator auf den Anfangswert (startch)

\$01

(bei KVL/Timer-Auslösung)

\$02

\$42

"Lade Startkanal":
Setzt KVL-Generator auf den Anfangswert (startch)

\$02

(bei KVL/externer Trigger)

\$04

\$42

"Lade Startkanal":
Setzt KVL-Generator auf den Anfangswert (startch)

\$04

A/D-Bereichsregister (adrange) (Portadresse BA + \$02, Schreibzugriff):

Funktion: Auswahl A/D-Eingangsbereich (PGA/single/diff.)
 Format: Wort [adrange15...adrange00]

adrange15...adrange03	adrange02	adrange01	adrange00	Funktion
beliebig		0	0	Verstärkung VPGA = 1
		0	1	Verstärkung VPGA = 2
		1	0	Verstärkung VPGA = 4
		1	1	Verstärkung VPGA = 8
	0			single ended
	1			differentiell

Startkanal-Register (startch) (Portadresse BA + \$06, Schreibzugriff):

Funktion: A/D-Kanalauswahl bzw. Festlegung des Anfangskanales bei Kanallistenwandlung

Format: Wort [startch15...startch00]

startch15...startch06	startch05	startch04	startch03	startch02	startch01	startch00	Funktion	
beliebig	0	0	0	0	0	0	(Anf.) Kanalnummer 0	
	0	0	0	0	0	1	(Anf.) Kanalnummer 1	
	0	0	0	0	1	0	(Anf.) Kanalnummer 2	
	0	0	0	0	1	1	(Anf.) Kanalnummer 3	
	0	0	0	1	0	0	(Anf.) Kanalnummer 4	
	0	0	0	1	0	1	(Anf.) Kanalnummer 5	
	-	-	-	-	-	-	-	-
	-	-	-	-	-	-	-	-
	-	-	-	-	-	-	-	-
	1	1	1	1	0	0	(Anf.) Kanalnummer 60	
	1	1	1	1	0	1	(Anf.) Kanalnummer 61	
	1	1	1	1	1	0	(Anf.) Kanalnummer 62	
	1	1	1	1	1	1	(Anf.) Kanalnummer 63	

Endkanal-Register (stopch) (Portadresse BA + \$08, Schreibzugriff):

Funktion: Festlegung des Endkanales bei Kanallistenwandlung
 Format: Wort [stopch15...stopch00]

stopch15...stopch07	stopch06	stopch05	stopch04	stopch03	stopch02	stopch01	stopch00	Funktion	
beliebig	0	0	0	0	0	0	1	Endkanal = 0	
	0	0	0	0	0	1	0	Endkanal = 1	
	0	0	0	0	0	1	1	Endkanal = 2	
	0	0	0	0	1	0	0	Endkanal = 3	
	0	0	0	0	1	0	1	Endkanal = 4	
	0	0	0	0	1	1	0	Endkanal = 5	
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	0	1	1	1	1	1	0	1	Endkanal = 60
	0	1	1	1	1	1	1	0	Endkanal = 61
	0	1	1	1	1	1	1	1	Endkanal = 62
	1	0	0	0	0	0	0	0	Endkanal = 63

stopch() = Endkanal +1

A/D-Status-Register (adstat) (Portadresse BA + \$06, Lesezugriff):

Das Register adstat liefert Informationen über das Vorhandensein gültiger A/D-Daten, die in jedem A/D-Betriebsmodus über einen Onboard-FIFO-Speicherbereich gelesen werden!

Funktion: Lesen der Zustandsflags des A/D-Daten-FIFO-Speichers
 Format: Wort [adstat15...adstat00]

adstat15...adstat04	adstat03	adstat02	adstat01	adstat00	Funktion
beliebig	0	1	1	0	FIFO empty
	0	1	0	1	FIFO halffull
	1	0	0	1	FIFO full
	1				Error-Flag gesetzt!

Mindestens ein gültiger A/D-Wert steht im FIFO bereit, falls Bit adstat00 (FIFO-Empty Flag) = 1 ist.

Bit adstat01 = 0 zeigt, dass mindestens 2048 A/D-Werte im FIFO vorhanden sind.

Ist Bit adstat02 = 0, so ist das FIFO voll.

Bit adstat03 dient zur Fehlererkennung bei zeitrelevanten A/D-Messungen. Sobald das FIFO-Fullflag gesetzt wird (also im weiteren Ablauf eventuell keine weiteren Werte in das FIFO geschrieben werden können) wird auch das Bit adstat03 gesetzt. Dieses bleibt solange gesetzt (=1), (auch falls das FIFO-Fullflag zwischenzeitlich zurückgesetzt wurde) bis es durch das Schreiben eines Wortes in die Adresse **reseterrflag** zurückgesetzt wurde.

A/D-Software-Trigger (swtrig) (Portadresse BA + \$00, Schreibzugriff):

Funktion: Durch das Schreiben eines beliebigen Wortes in die Portadresse swtrig wird (falls Bit adcont0 von Register adcont gesetzt ist) eine A/D-Wandlung ausgelöst.

Format: Wort [swtrig15...swtrig00]

A/D-Daten (addat) (Portadresse BA + \$00, Lesezugriff):

Funktion: addat liefert den 12 Bit A/D-Wert

Format: Wort [addat11...addat00]

addat15...addat12: beliebig!

FIFO-Reset (resetfifo) (Portadresse BA + \$0E, Schreibzugriff):

Funktion: Das Schreiben eines beliebigen Wortes in die Adresse resetfifo setzt den FIFO-Speicherbereich der ADIODA-PCIF12 in den Ausgangszustand (FIFO-Empty) zurück.

Error-Flag-Reset (reseterrflag) (Portadresse BA + \$10, Schreibzugriff):

Funktion: Das Schreiben eines beliebigen Wortes in die Adresse reseterrflag setzt das Bit adstat03 (Errorflag) zurück.

6.6 Summenabtastrate

Die maximal erzielbare Abtastrate des A/D-Systems der ADIODA-PCIF12 ist von der verwendeten Betriebsart und dem Spannungsbereich des Eingangssignales abhängig. Hierbei ist entscheidend, ob Multiplexer und PGA in der Anwendung umgeschaltet werden.

Erreichbare Abtastraten:

- ca. 300 kHz (keine MUX- und keine PGA-Umschaltung)
- ca. 250 kHz (MUX-Umschaltung/keine PGA-Umschaltung)
- ca. 150 kHz (MUX-Umschaltung/PGA-Umschaltung)
- ca. 150 kHz (KV-Listenansteuerung von MUX und PGA)

7. 4 D/A-Ausgänge 12 Bit

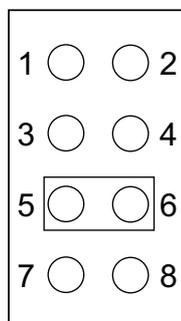
7.1 Auswahl des Ausgangsspannungsbereiches

Die Interfacekarte ADIODA-PCIF12_{MDA} verfügt über vier multiplizierende 12Bit Digital-Analogwandler DAC813. Die Auswahl des Ausgangsspannungsbereiches erfolgt über den jeweiligen Jumperblock JPDAx.

Die D/A-Kanäle der ADIODA-PCIF12_{MDA} lassen sich mit folgenden Ausgangsspannungsbereichen betreiben:

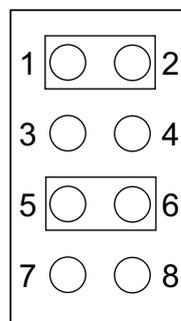
- unipolar: 0...10V
- bipolar: +/-5V
- bipolar: +/-10V

JPDAx



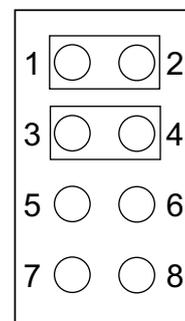
bipolar +/-10V
(default)

JPDAx



bipolar +/-5V

JPDAx



unipolar 0...10V

Nach dem Booten oder Reset des Rechners befinden sich die D/A-Ausgänge der ADIODA-PCIF12_{MDA} auf \$0Hex. Dies entspricht bei einem Ausgangsspannungsbereich:

- unipolar 0...10V --> 0,0000V
- bipolar +/-10V --> -10,0000V
- bipolar +/-5V --> - 5,0000V

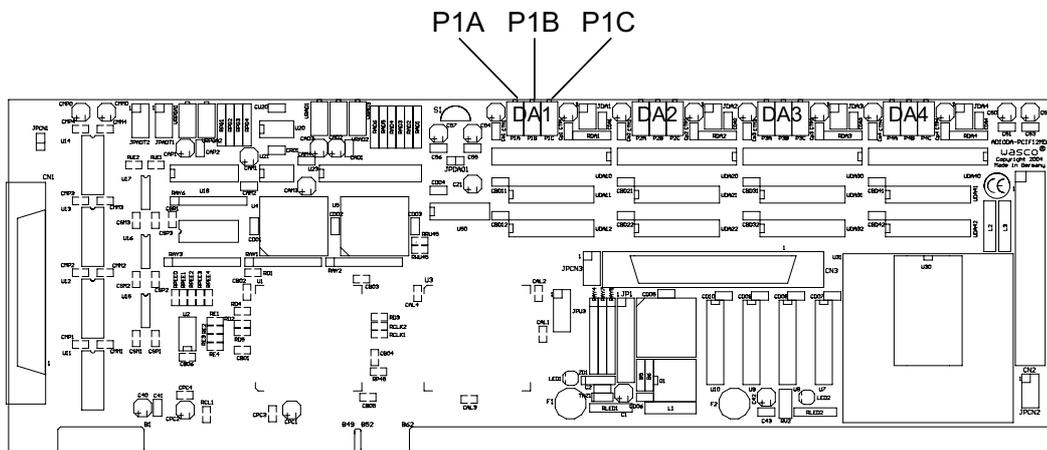
7.2 Abgleich des D/A-Kanals

Die vier D/A-Wandler der ADIODA-PCIF12_{MDA} sind standardmäßig auf den Ausgangsspannungsbereich bipolar +/-10V gejumpert und abgeglichen. Bei Änderung der Grundeinstellung sowie zur Erzielung maximaler Genauigkeit unter Betriebsbedingungen kann ein erneuter Abgleich notwendig sein. Hierbei ist abhängig vom gewünschten Ausgangsspannungsbereich wie folgt vorzugehen:

Trimmer PxA: Abgleich Gain (jeweils für Kanal 1...4)

Trimmer PxB: Abgleich Offset bipolar (jeweils für Kanal 1...4)

Trimmer PxC: Abgleich Offset unipolar (jeweils für Kanal 1...4)



--> Abgleich Nullpunktoffset!

Bitmuster 0000 0000 0000 an DAx ausgeben!

Ausgangsspannung DAOUTx einstellen:

<u>falls</u>	<u>DAOUTx</u>	<u>Abgleich Trimmer</u>
unipolar 0...10V	0,0000V	PxC
bipolar +/-10V	-10,0000V	PxB
bipolar +/-5V	-5,0000V	PxB

--> Abgleich Endbereich!

Bitmuster 1111 1111 1111 an DAx ausgeben!

Ausgangsspannung DAOUTx einstellen:

<u>falls</u>	<u>DAOUTx</u>	<u>Abgleich Trimmer</u>
unipolar 0...10V	+9,9976V	PxA
bipolar +/-10V	+9,9951V	PxA
bipolar +/-5V	+4,9976V	PxA

--> D/A-Abgleich beendet!

7.3 Programmierung der D/A-Kanäle

Die Programmierung der D/A-Ausgänge der ADIODA-PCIF12_{MDA} erfolgt durch das wortweise Schreiben des digitalen Codes für die gewünschte analoge Ausgangsspannung am jeweiligen Kanal.

Abhängig von der gewählten Betriebsart ergibt sich die D/A-Ausgangsspannung nach folgenden Beziehungen:

unipolar 0....10V: $V_{out} = 0V + (n/4096) * 10V$
1 LSB = 2,44mV

bipolar +/-10V $V_{out} = -10V + (n/2048) * 10V$
1 LSB = 4,88mV

bipolar +/-5V $V_{out} = -5V + (n/2048) * 5V$
1 LSB = 2,44mV

n = anliegender digitaler 12Bit-Wert
(0000 0000 0000 1111 1111 1111 binär)
(0 4095 dezimal)

z.B. bipolar +/-10V

<u>digitaler Wert</u>	<u>Hex</u>	<u>D/A-Ausgangsspannung</u>
1111 1111 1111	FFFh	Vout = +9,9951V
1000 0000 0000	800h	Vout = +0,0000V
0111 1111 1111	7FFh	Vout = -0,0049V
-----	-----	-----
-----	-----	-----
-----	-----	-----
0000 0000 0000	000h	Vout = -10,0000V

8. 3 * 16 Bit Zähler (Timer 8254)

8.1 Zähler 0, 1 und 2

Jeder der drei Zähler besteht aus einem 16-Bit-Abwärtszähler, der wahlweise für dezimales oder duales Zählen verwendet werden kann. Alle drei Zähler sind in der Funktion vollkommen identisch, sie arbeiten voneinander völlig unabhängig und können parallel in verschiedenen Betriebsarten betrieben werden. Durch das Steuerwort wird die Funktion des Gates, des Ein- und Ausgangs bestimmt. Im Format des Steuerwortes sind spezielle Kennzeichen zum Laden des Zähleranfangwertes enthalten. Bei der Verwendung als Ereigniszähler kann der Zählerinhalt mit einem einfachen Lesebefehl ausgelesen werden.

8.2 Steuerwort-Register

In das Steuerwort-Register kann nur eingeschrieben werden. Durch "High" an den Eingängen A0 und A1 ist das Register ausgewählt. Daten, die über die Datenbus-Schnittstelle hereinkommen, werden vom Steuerwortregister übernommen. Die gespeicherten Informationen bestimmen die Auswahl der Zählart (dezimal, dual), die Arbeitsweise der Zähler und das Laden der Zählerregister.

8.3 Schreib-/Leselogik

Der Prozessor sendet über den System-Steuerbus Steuersignale. Die Schreib-/Lese-Logistik empfängt die Signale und erzeugt für den Funktionsablauf notwendige interne Steuersignale. Mit /CS wird die Schreib-/Lese-Logistik freigegeben oder gesperrt. Eine Funktionsänderung durch die Systemsoftware ist ohne vorheriges Auswählen des Bausteines nicht möglich.

8.4 Schreib-/Leselogik

/CS	/RD	/WR	A1	A0	
0	1	0	0	0	Zähler 0 laden
0	1	0	0	1	Zähler 1 laden
0	1	0	1	0	Zähler 2 laden
0	1	0	1	1	Steuerwort einschreiben
0	0	1	0	0	Lesen des Zählerinhalts von Zähler 0
0	0	1	0	1	Lesen des Zählerinhalts von Zähler 1
0	0	1	1	0	Lesen des Zählerinhalts von Zähler 2
0	0	1	1	1	Keine Funktion, Daten-Bus-Schnittstelle hochohmig
1	X	X	X	X	Baustein gesperrt, Daten-Bus-Schnittstelle hochohmig
0	1	1	X	X	Keine Funktion, Daten-Bus-Schnittstelle hochohmig

X = beliebig

8.5 Steuerwort-Register

Die Betriebsart jedes Zählers wird durch Software mit einfachen Ausgabebefehlen festgelegt. Jeder der drei Zähler muss dabei gesondert durch ein Steuerwort, das in das Steuerwortregister geschrieben wird, programmiert werden. Für die zeitgesteuerte Interruptauslösung werden die drei Zähler in der Betriebsart 3 programmiert.

Steuerwort-Format D7....D0								Funktion
SC1	SC0	RW1	RW0	M2	M1	M0	BCD	
							0	Zählweise dual (16 Bit)
							1	Zählweise dezimal (4 Dekaden)
				0	0	0		Betriebsart 0
				0	0	1		Betriebsart 1
				X	1	0		Betriebsart 2
				X	1	1		Betriebsart 3
				1	0	0		Betriebsart 4
				1	0	1		Betriebsart 5
		0	0					Zählerinhalt zwischenspeichern
		0	1					Lesen/Laden niederwertige Bytes
		1	0					Lesen/Laden höherwertige Bytes
		1	1					zuerst niederwertige Bytes, dann höherwertige Bytes
0	0							Auswahl Zähler 0
0	1							Auswahl Zähler 1
1	0							Auswahl Zähler 2
1	1							Zähler read back

8.6 Betriebsart 3

Rechteckgenerator

Der Zählerausgang bleibt bei geradzahligen Zähleranfangswerten solange auf "High", bis der halbe Anfangswert abgezählt ist. Während der zweiten Hälfte liegt am Ausgang "Low" an. Bei ungeraden Startwerten (n) befindet sich für $(n+1)/2$ Zählakte am Ausgang "High" und für $(n - 1)/2$ Takte "Low". Beim Laden eines neuen Ausgangswertes, während eines laufenden Zählvorgangs, wird erst nach dem nächsten Wechsel des Ausgangpegels mit dem neuen Startwert weitergearbeitet. Da der Timer auf der Karte nur für die zeitgesteuerte Interruptauslösung vorgesehen ist, wird hier auf die anderen möglichen Betriebsarten nicht näher eingegangen!

8.7 Funktionsübersicht Gate-Eingang

Betriebsart	GATE-Signal		
	L-Pegel oder Übergang zum L-Pegel	Ansteigende Flanke	H-Pegel
0	sperrt Zähler		gibt Zähler frei
1	-	1. startet Zähler 2. setzt Ausgang nach dem nächsten Takt auf L-Pegel	-
2	1. sperrt Zähler 2. setzt Ausgang sofort auf H-Pegel	startet Zähler	gibt Zähler frei
3	1. sperrt Zähler 2. setzt Ausgang sofort auf H-Pegel	startet Zähler	gibt Zähler frei
4	sperrt Zähler	-	gibt Zähler frei
5	-	startet Zähler	-

8.8 Programmierung des Timers

Durch ein Steuerwort wird die Betriebsart und durch die im Steuerwort angegebene Anzahl der Bytes für den Zähleranfangswert wird das Zählregister geladen. Die Steuerworte können in beliebiger Reihenfolge eingeschrieben werden, denn jeder Zähler hat ein eigenes Steuerwortregister mit gesonderter Adresse (SC0, SC1). Die Zähler können untereinander ebenfalls in beliebiger Reihenfolge geladen werden. Es ist aber unbedingt zu beachten, den Zähler mit der im Steuerwort angegebenen Anzahl von Bytes (höherwertiges MSB) und (niederwertiges (LSB) Byte) zu laden. Die Reihenfolge, die durch RW0 und RW1 im Steuerwort bestimmt wurde, muss beim Laden des Zähleranfangswertes ebenfalls beachtet werden. Die ein oder zwei Bytes des Zählerstartwertes können zu jeder beliebigen Zeit, doch nur bis zu der im Steuerwort angegebenen Anzahl, in das Zählregister eingeschrieben werden.

Wird das Zählregister mit lauter Nullen geladen, ergibt das für die Abwärtszähler die maximale Zähldauer. Das sind beim dualen Zählen 2^{16} und beim dezimalen Zählen (BCD) 10^4 Zählakte.

9. 16 TTL-Eingänge über 74LS244

Die ADIODA-PCIF12_{MDA} verfügt über 16 Eingangskanäle, die TTL-kompatibel sind. Unbeschaltete oder offene Eingänge zeigen High Pegel an und sollten grundsätzlich auf GND gelegt werden.

10. 16 TTL-Ausgänge über 74ABT273

Die ADIODA-PCIF12_{MDA} verfügt über 16 Ausgangskanäle, die TTL-kompatibel sind. Jeder Kanal kann mit max. 20mA Ausgangsstrom belastet werden.

11. Interrupt

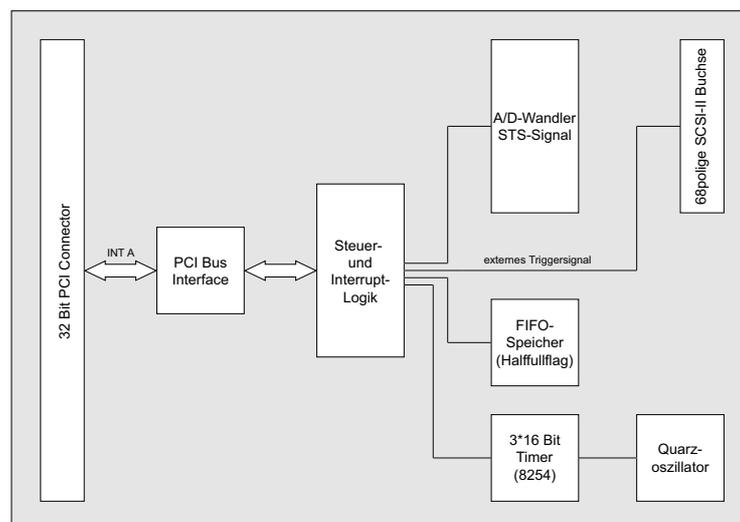
11.1 Interrupt-Anforderungen

Unterbrechungsanforderungen können mit der ADIODA-PCIF12 folgendermaßen generiert werden:

- zeitabhängig mit Hilfe der Kombination Timer/Quarzoszillator
- bei Wandlungsende durch das Statusflag des A/D-Wandlers
- Interrupt durch A/D-FIFO Speicher
- Interrupt durch ein externes Signal

Die Interruptanforderungen der ADIODA-PCIF12 werden über die PCI-Busleitung INTA an einen der Rechner-IRQs weitergeleitet. Die betreffende IRQ-Nummer wird vom PCI-Plug and Play BIOS des Rechners bzw. durch das Betriebssystem vergeben.

Das Interruptsystem lässt sich durch folgendes Blockdiagramm veranschaulichen:



Unterbrechungsanforderungen werden durch die ADIODA-PCIF12 (softwaremäßige Freigabe im Interrupt-Kontrollregister vorausgesetzt) unter folgenden Bedingungen generiert:

Interrupt durch Timer/Quarzoszillator:

--> Unterbrechungsanforderung bei Übergang von HIGH auf LOW-Pegel an OUT2 von Timer 2 des 8254-Bausteins.

Interrupt durch A/D-FIFO Speicher:

--> Unterbrechungsanforderung bei Übergang von HIGH auf LOW-Pegel des Halffullflags/HF (sobald sich mehr als 2048 Werte im FIFO befinden)

Interrupt durch STS des A/D-Wandlers:

--> Unterbrechungsanforderung bei Übergang von LOW auf HIGH-Pegel des Statussignales des A/D-Wandlers (bei Wandlungsende)

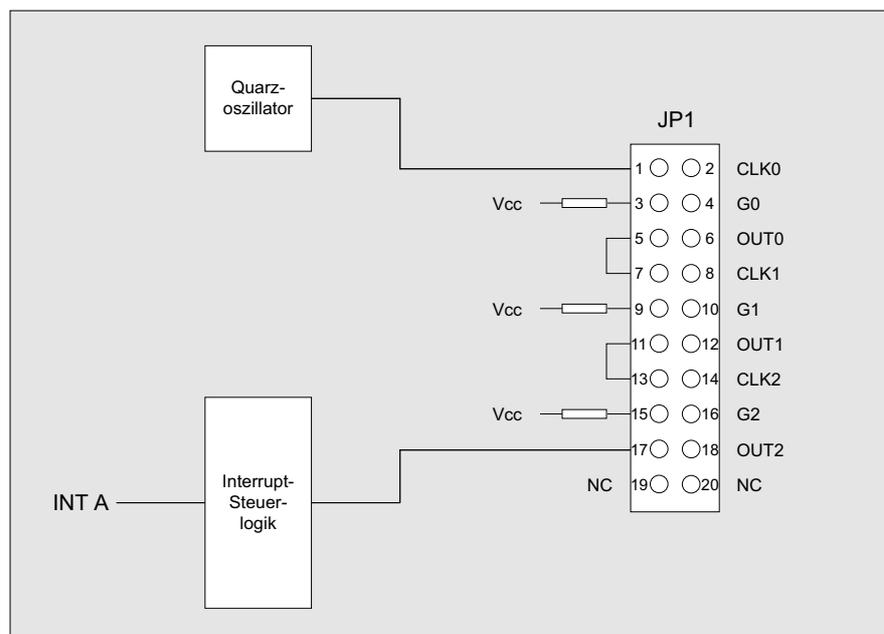
Interrupt durch externes Signal:

--> Unterbrechungsanforderung bei Übergang von LOW auf HIGH-Pegel (TTL-Pegel) an Pin 67 von CN1

Zur Generierung zeitgesteuerter Interruptauslösungen wird der Timerbaustein 8254 der ADIODA-PCIF12 wie folgt verwendet:

Durch Setzen der Jumperverbindungen 1-2 bis einschließlich 17-18 wird der 4 MHz Takt des Quarzoszillators dem Clock-Eingang von Timer 0 zugeführt. Der Ausgang von Timer 0 wird an den Eingang von Timer 1 und dessen Ausgang an den Eingang von Timer 2 gelegt. Timer 2 erzeugt das Signal OUT2, das an die Interruptlogik der ADIODA-PCIF12 weitergeleitet wird. Eine Unterbrechungsanforderung erfolgt (Freigabe im Interrupt-Kontrollregister vorausgesetzt) bei Übergang von HIGH- auf LOW-Pegel von OUT2.

Programmiert man alle Timer im Betriebsmodus 3 (Rechteckgenerator) so erhält man an OUT2 ein Rechtecksignal, das durch dreifaches Herunterteilen des 4 MHz-Taktes erzeugt wird. Die Frequenz von OUT2 und damit die Frequenz der Interruptauslösungen ergibt sich abhängig von den geladenen Zähleranfangswerten (=Teilerfaktoren).



11.2 Interruptprogrammierung

Die Interruptprogrammierung der ADIODA-PCIF12 erfolgt mit Hilfe des Interrupt-Kontroll-Registers **intcont** und der Interrupt-Rücksetzadresse **resetint**.

Interrupt-Kontroll-Register (intcont) (Portadresse BA + \$0A, Schreibzugriff):

Funktion: Das Register intcont dient zur Freigabe und Festlegung der Interruptquelle der ADIODA-PCIF12

Format: Wort [intcont15...intcont00]

intcont15...intcont05	intcont04	intcont03	intcont02	intcont01	intcont00	Funktion
beliebig		0	0	0	1	Interrupt bei Wandlungsende
		0	0	1	0	FIFO Halfflag Interrupt
		0	1	0	0	Timer Interrupt
		1	0	0	0	Interrupt durch externes Signal
	1					Interrupt freigegeben
	0					Interrupt gesperrt

Zusätzlich muss der Interrupt auch auf der Betriebssystemebene freigegeben werden!

Achtung: die Betriebsart Interrupt bei Wandlungsende sowie Interrupt durch den Timer sind derzeit unter Windows nicht möglich!

Interrupt-Reset (resetint) (Portadresse BA + \$0C, Schreibzugriff):

Funktion: Das Schreiben eines beliebigen Wortes in die Adresse resetint setzt die Interrupt-Anforderungen der ADIODA-PCIF12 zurück. Zusätzlich muss der Interrupt auch auf Betriebssystemebene zurückgesetzt werden.

Interrupt-Status-Register (apf12_int_status) (Portadresse LC + \$4C, Lesezugriff):

Funktion: Das Register apf12_int_status dient zur Überprüfung bei Interruptanforderungen.
Ist Bit apf12_int_status[02] = 1, so liegt eine Interrupt-Anforderung durch die ADIODA-PCIF12 vor

Format: Wort [s15...s00]

--> gelesenes Wort "UND" \$0004 = \$0004
--> ADIODA-PCIF12-Interrupt

12. Programmierung unter DOS®

12.1 Programmierung der ADIODA-PCIF12_{MDA}

In der beiliegenden Software finden Sie Bibliotheksfunktionen und Beispielprogramme zum Zugriff auf die ADIODA-PCIF12 unter DOS®. Die Programmierung der Hardwarekomponenten der ADIODA-PCIF12 erfolgt durch den Zugriff auf Portadressen, die sich abhängig von der vom PCI-Bios für die ADIODA-PCIF12 vergebenen I/O-Basisadresse (und der LC-Basisadresse) ergeben. Mit Hilfe von Initialisierungsroutinen können sowohl die I/O-Basisadresse, die LC-Basisadresse als auch die direkten Portadressen der einzelnen Hardwarekomponenten festgestellt werden. Zusätzlich kann auf weitere Informationen wie IRQ-Nummer, Lokalisierung der Karte im Bussystem und Kartenversion zugegriffen werden. Sollten Sie mit einer Programmiersprache arbeiten, für die (noch) keine Bibliotheks-Funktionen verfügbar sind, können Sie mit Hilfe des Programms "APF12MSC" (-> im Verzeichnis UTIL) die PCI-Parameter der ADIODA-PCIF12_{MDA} feststellen.

PCI-Parameter:

- I/O-Basisadresse
- IRQ-Nummer
- LC-Basisadresse
- Bus-Nummer
- Device-Nummer
- Funktionsnummer
- ADIODA-Version

PCI-Identifikation:

Device-ID	=	\$9050
Vendor-ID	=	\$10B5
Subsystem-Vendor-ID	=	\$10B5
Subsystem-ID	=	\$115B

12.2 Zuordnung der Portadressen

Die Portadressen der einzelnen Hardware-Komponenten ergeben sich abhängig von der I/O-Basisadresse (BA) und der LC-Basisadresse (LC) wie folgt:

Port/Register		BA + Offset	RD/WR
A/D Software Trigger	(swtrig)	BA + \$00	WR
A/D Daten	(addat)	BA + \$00	RD
A/D Bereichs-Register	(adrange)	BA + \$02	WR
A/D Kontroll-Register	(adcont)	BA + \$04	WR
A/D Status-Register	(adstat)	BA + \$06	RD
A/D Startkanal-Register	(startch)	BA + \$06	WRA/D
Endkanal-Register	(stopch)	BA + \$08	WR
Interrupt-Kontrollregister	(intcont)	BA + \$0A	WR
Interrupt-Reset	(resetint)	BA + \$0C	WR
Fifo-Reset	(resetfifo)	BA + \$0E	WR
Errorflag-Reset	(reseterrflag)	BA + \$10	WR
D/A Ausgangsregister 1	(daout1)	BA + \$20	WR
D/A Ausgangsregister 2	(daout2)	BA + \$22	WR
D/A Ausgangsregister 3	(daout3)	BA + \$24	WR
D/A Ausgangsregister 4	(daout4)	BA + \$26	WR
TTL-Eingangsport (DIN00...DIN15)	(digin)	BA + \$40	RD
TTL-Ausgangsport (DOUT00...DOUT15)	(digout)	BA + \$60	WR
8254-Timer 0	(tim8254_0)	BA + \$80	RD/WR
8254-Timer 1	(tim8254_1)	BA + \$82	RD/WR
8254-Timer 2	(tim8254_2)	BA + \$84	RD/WR
8254-Timer-Control	(tim8254_contr)	BA + \$86	RD/WR
Interrupt-Statusregister	(apf12_int_status)	LC + \$4C	RD

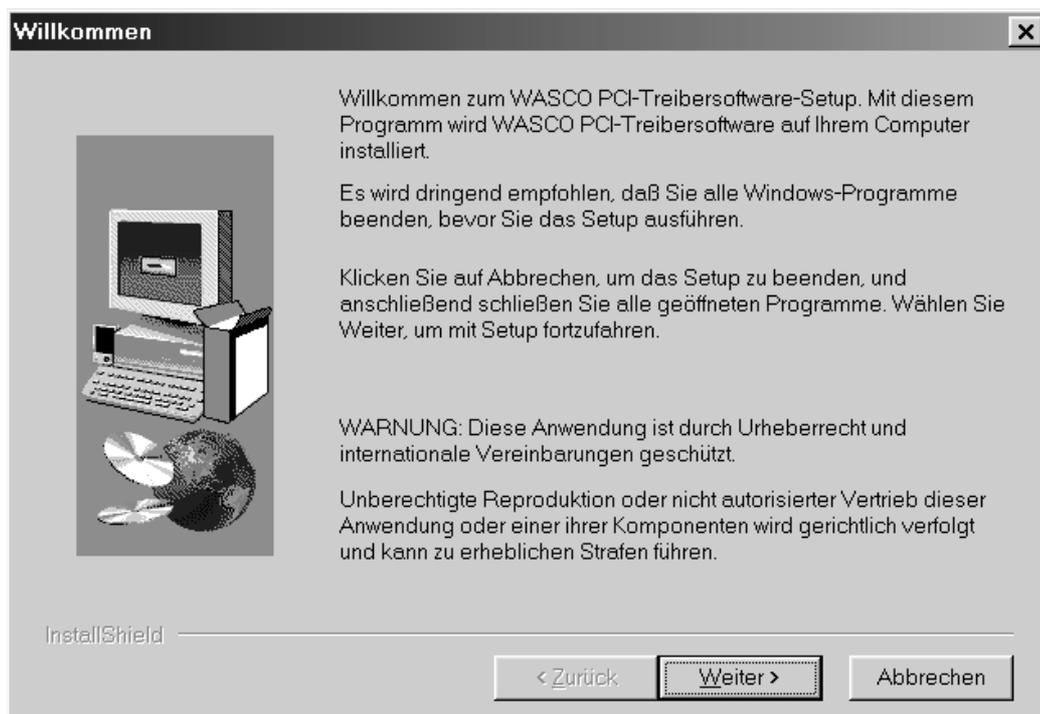
13. Programmierung unter Windows®

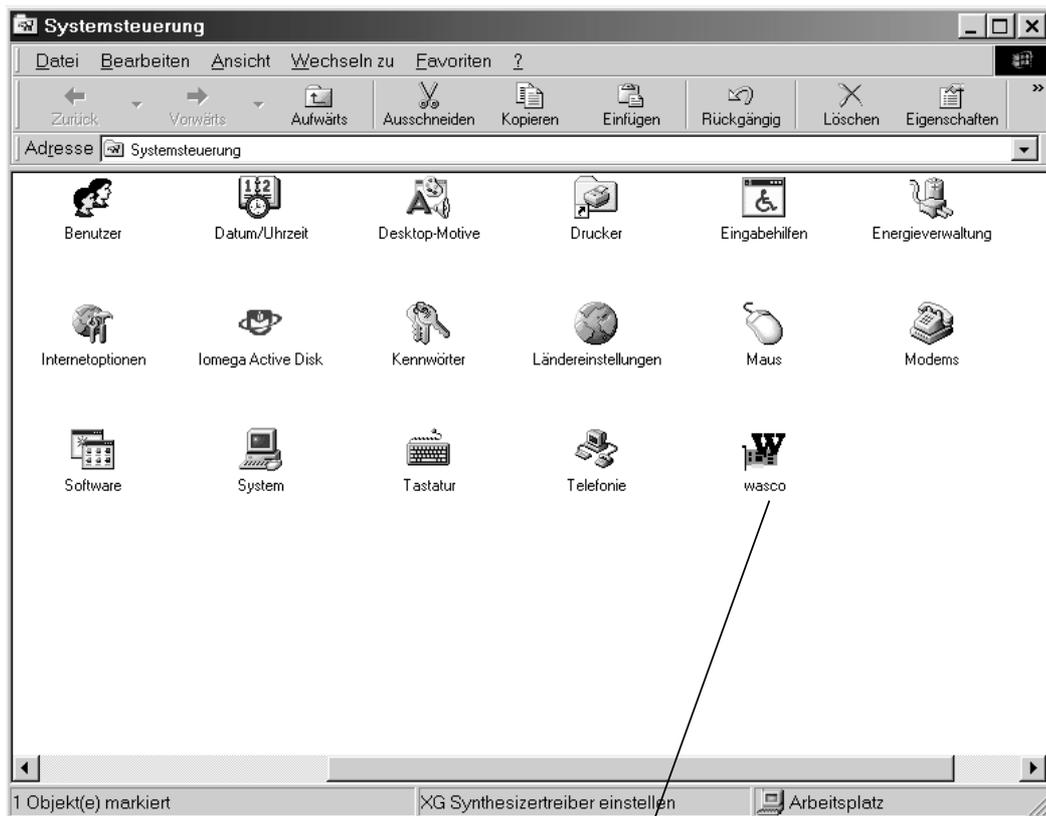
13.1 Programmierung der ADIODA-PCIF12_{MDA}

Für die Anwendung der Karte unter Windows® ist es notwendig, einen speziellen Treiber zu installieren, der den Portzugriff auf die Karte ermöglicht.

13.2 Installation der Windows® Treiber

Zur Installation des Windows® Treibers führen Sie bitte die Datei "Setup. Exe" im Ordner Treiber, auf der mitgelieferten CD aus und folgen Sie den Installationsanweisungen.





Wurde die Treibersoftware vollständig installiert, finden Sie in der Systemsteuerung Ihres Rechners ein Icon zur Lokalisierung aller im System vorhandenen **wasco**[®] PCI-Karten.

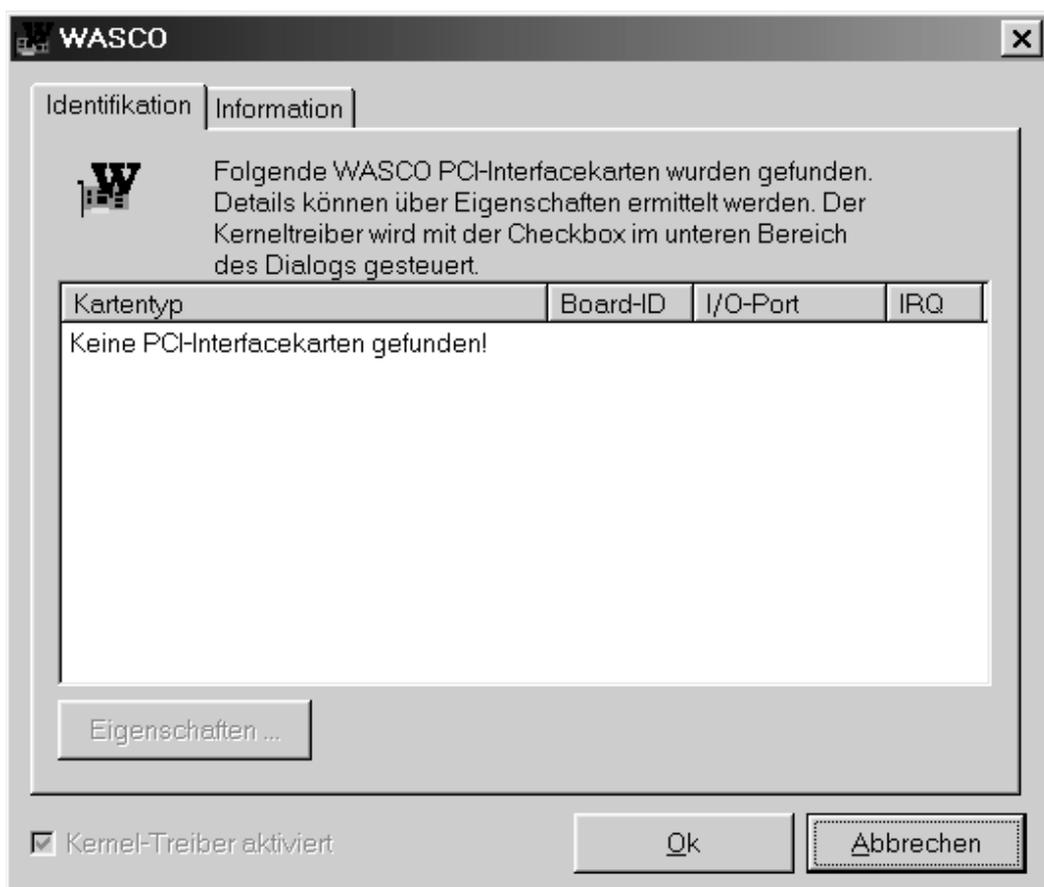
Starten Sie die Kartenabfrage durch einen Doppelklick auf das "**wasco**[®]" Icon. Folgendes Fenster erscheint: (Als Beispiel wurden hier eine OPTO-RE-PCI16 und eine ADIODA-PCI12 verwendet)!



Wurde Ihre Karte im System erkannt, wird der Kartename, Board ID, I/O-Adresse sowie die mögliche Interruptnummer für die jeweilige Karte in diesem Fenster angezeigt. Desweiteren kann über den Button "Information" die Treiber-Version sowie der Standort der Treiberdatei abgefragt werden.



Wurde Ihre Karte im System nicht erkannt, werden folgende Fehlermeldungen angezeigt:



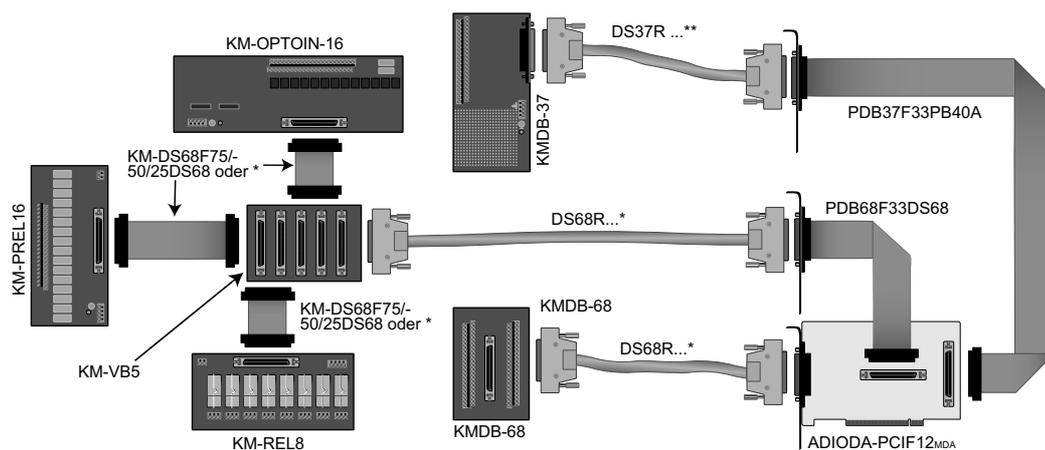
Informieren Sie sich im Kapitel Fehlersuche über die möglichen Ursachen!

14. Zubehör

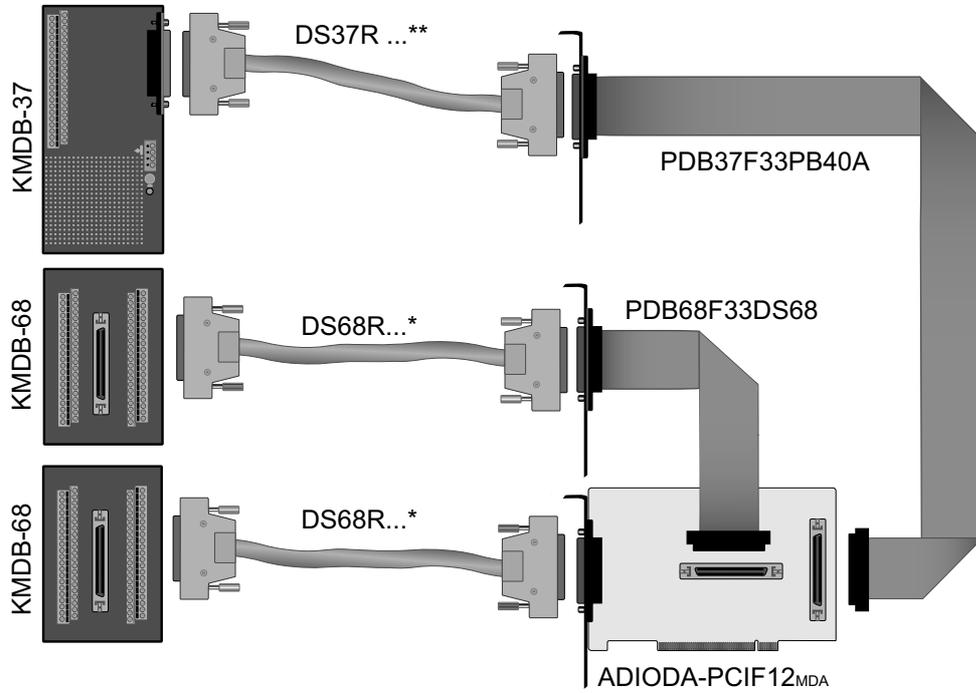
14.1 Passendes wasco®-Zubehör

Anschlusssteile	EDV-Nr.
PDB37F33PB40A Steckerverlegungsset	A-496600
PDB68F33DS68 Steckerverlegungsset	A-498600
DS37R200DS37 Verbindungsleitung	A-202400
DS68R200DS68 Verbindungsleitung	A-492400
KMDB-37 Klemm-Modul	A-2046
KMDB-68 Klemm-Modul	A-494800
KM-OPTOIO-16 Optokoppler-Modul	A-482400
KM-PREL-16 Relais-Modul	A-485400
KM-REL-8 Relais-Modul	A-486200

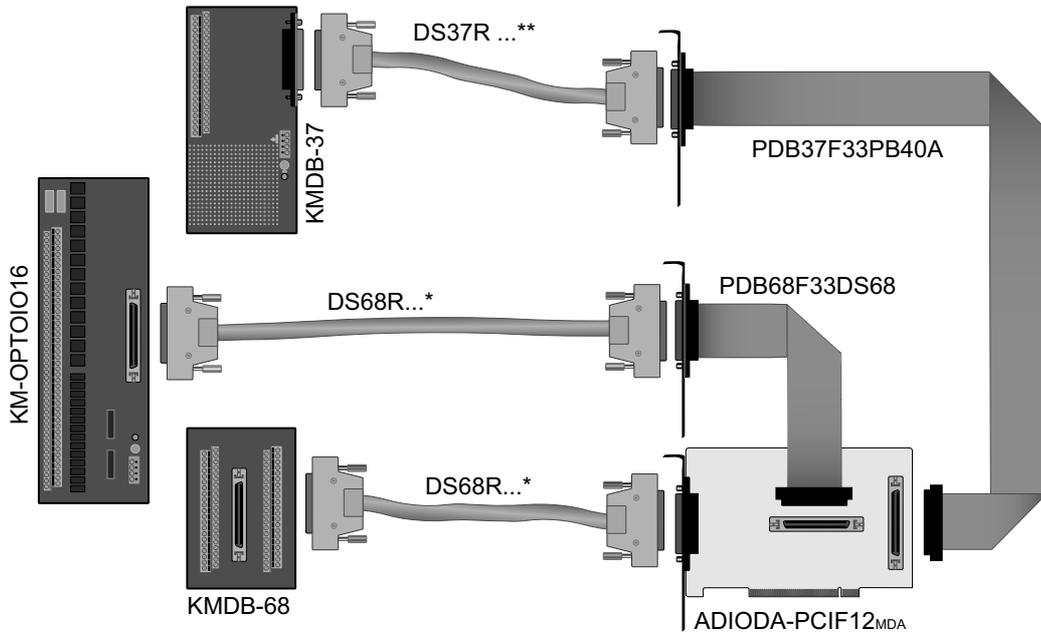
14.2 Anschlusstechnik (Anwendungsbeispiele)



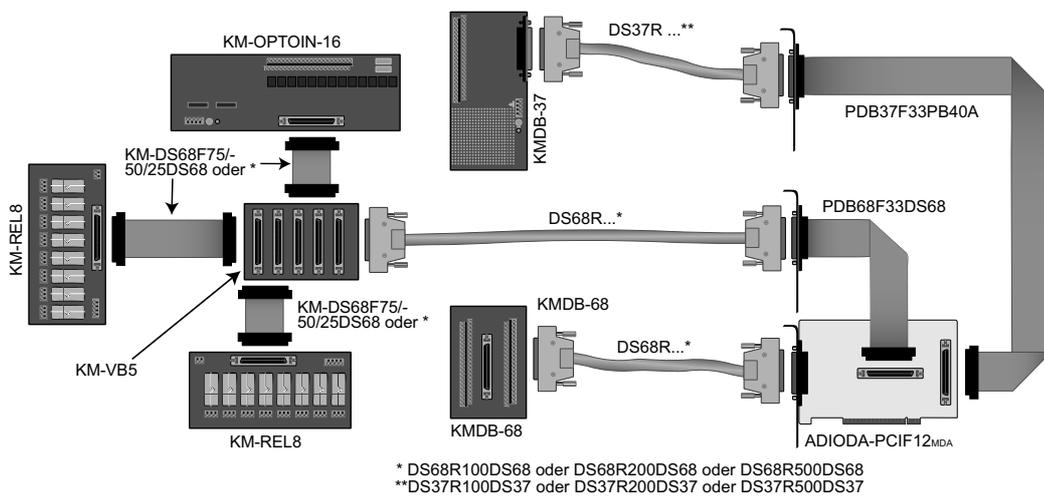
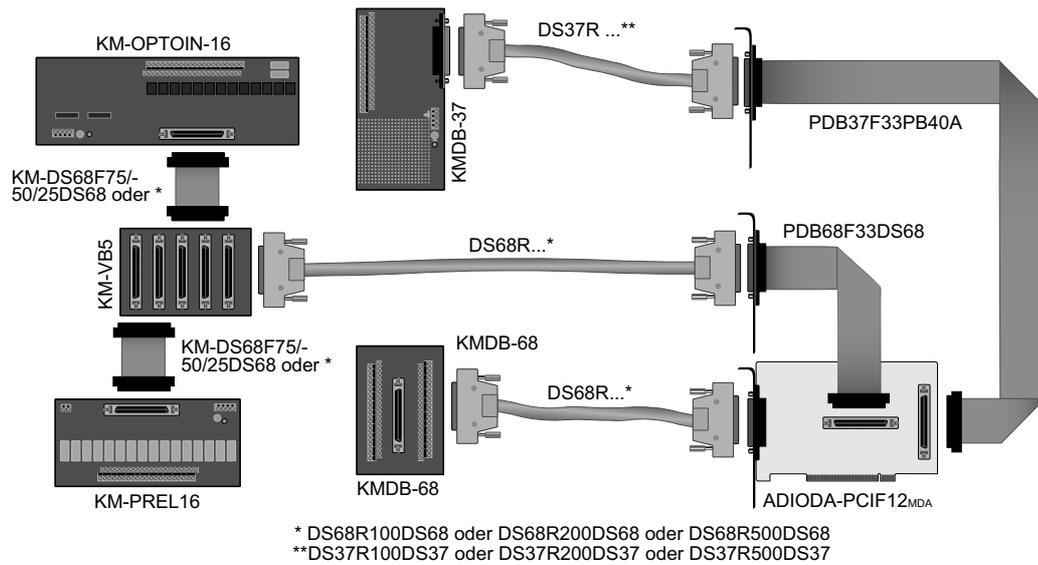
* DS68R100DS68 oder DS68R200DS68 oder DS68R500DS68
 **DS37R100DS37 oder DS37R200DS37 oder DS37R500DS37

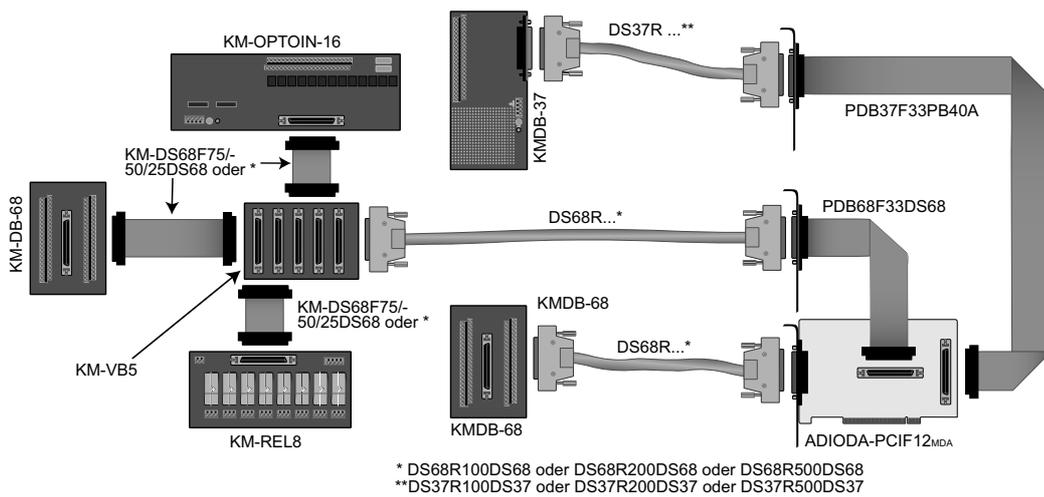
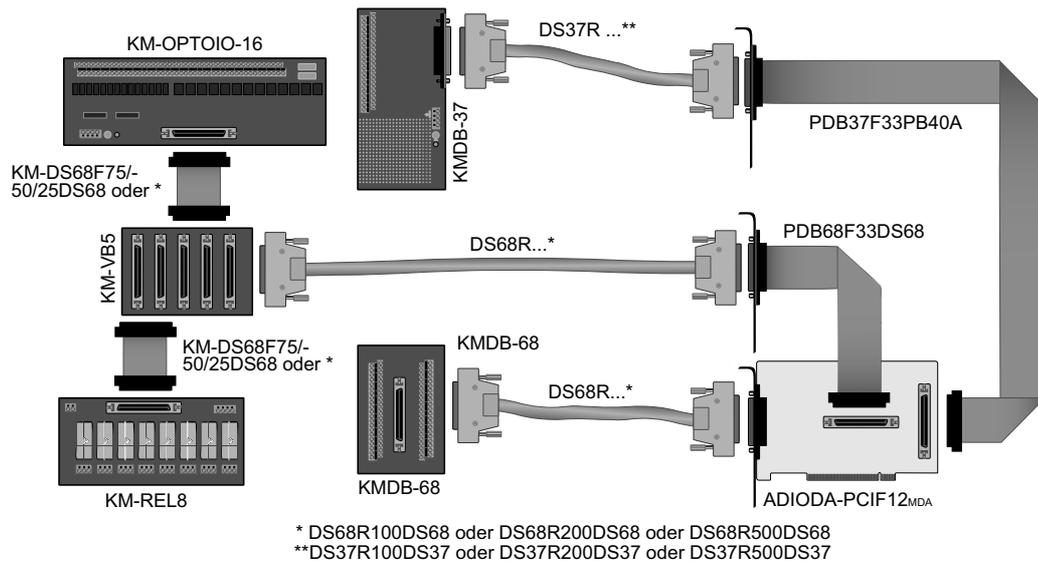


* DS68R100DS68 oder DS68R200DS68 oder DS68R500DS68
 **DS37R100DS37 oder DS37R200DS37 oder DS37R500DS37



* DS68R100DS68 oder DS68R200DS68 oder DS68R500DS68
 **DS37R100DS37 oder DS37R200DS37 oder DS37R500DS37





14.3 Einzelkomponenten zur Eigenkonfektionierung

Anschlusssteile	EDV-Nr.
D-Sub-Stecker 3pol. für Lötanschluss	A-5506
D-Sub-Haube 37pol. Stecker (Lötanschluss)	A-5586
D-Sub-Stecker 37pol. für Flachbandleitung	A-5526
D-Sub-Buchse 37pol. für Flachbandleitung	A-5566
Pfostenbuchse 40pol. für Flachbandleitung	A-5642
SCSI-II Stecker 68pol. für Flachbandleitung	A-553200
SCSI-II Buchse 68pol. für Flachbandleitung	A-557200
Slotblech mit Ausschnitt für 37pol. Stecker/Buchse	A-5774
Slotblech mit Ausschnitt für 68pol. Stecker/Buchse	A-577800
Flachbandleitung 37pol.	A-5718
Flachbandleitung 68pol.	A-572800

15. Fehlersuche

Nachfolgend finden Sie eine kurze Zusammenstellung der häufigsten, bekannten Fehlerursachen, die während der Inbetriebnahme oder während der Arbeit mit der ADIODA-PCIF12_{MDA} auftauchen können. Prüfen Sie bitte zunächst folgende Punkte, bevor Sie mit Ihrem Händler Kontakt aufnehmen.

1. Sitzt die ADIODA-PCIF12_{MDA} richtig in der Steckverbindung?
2. Sind alle Kabelverbindungen in Ordnung?
3. Hat eine der beiden Sicherungen (F1,F2) auf der ADIODA-PCIF12_{MDA} angesprochen?
4. Wurde die Karte im System richtig erkannt?
Prüfen Sie hierzu alle Einstellungen in Ihrem Rechner oder wenden Sie sich an Ihren Systemadministrator.
(Da es sich hierbei um Einstellungen im BIOS des Rechners handelt, können wir hier nicht näher darauf eingehen und verweisen hierzu auf Ihr Systemhandbuch)!
5. Wurde die neueste Treiberversion des **wasco**[®] Treibers installiert?
Updates finden Sie unter: <http://www.messcomp.com>
<http://www.wasco.de>

16. Technische Daten

A/D-Eingänge

Kanäle:	64 single-ended 32 differentiell oder kombiniert single/diff. per Software einstellbar
Auflösung:	12 Bit
Onboard FIFO:	2 * IDT7204 (4K Samples)
Eingangsbereich:	0....10 V, +/-5 V, +/-10 V per Jumper einstellbar
Eingangsimpedanz:	> 1 GOhm
A/D-Wandler:	ADS7800, Wandlungszeit 3µs max.
Genauigkeit:	+/- 1 LSB
PGA:	PGA206, Settling Time 3µs typ. Verstärkungsfaktoren 1,2,4,8 per Software einstellbar
Multiplexer:	4 * MPC506AU, Schaltzeit 0,6µs max.
Analog Switch:	DG403, Turn on time 150ns max. Turn off time 100ns max.
Wandlungs- auslösung:	per Software, Timer oder externes Signal
Summenabtastrate:	300kHz max.
Datentransfer:	Polling des A/D-(FIFO) Statusflags, Interrupt-Betrieb

D/A-Ausgänge

Kanäle:	4 D/A-Ausgänge
Auflösung:	12 Bit
D/A-Wandler:	DAC813
Einschwingzeit:	6µs max. FSR
Genauigkeit:	+/- 1 LSB
Ausgangs- spannungsbereich:	0....10 V, +/-5 V, +/-10 V
Ausgangsimpedanz:	0,2 Ohm typ.
Ausgangsstrom:	+/- 5 mA max.

TTL-Eingänge

Kanäle: 16 , TTL-kompatibel

TTL-Ausgänge

Kanäle: 16, TTL-kompatibel

Belastbarkeit: I_{OL} 20 mA 0,5 V max.
 I_{OH} -20 mA 2,0 V min.

Timer

Baustein: NEC D71054 (3 * 16Bit Abwärtszähler)

Eingangstakt-
frequenz:

8 MHz max.
(Zeitabhängige Interruptauslösungen mittels Takt vom
Quarzoszillator)

Quarzoszillator

4 MHz

Anschlussstecker

2 * 68 polige SCSI-II Buchse
1 * 40 poliger Pfostenstecker

Bussystem

32Bit PCI-Bus
(interner Datenbus 16 Bit)

Sicherungen

+ 5 V 1A Miniatursicherung F1
+ 12 V 1A Miniatursicherung F2

Stromverbrauch

+ 5 V typ. 600mA
+ 12 V typ. 190mA

17. Produkthaftungsgesetz

Hinweise zur Produkthaftung

Das Produkthaftungsgesetz (ProdHaftG) regelt die Haftung des Herstellers für Schäden, die durch Fehler eines Produktes verursacht werden.

Die Verpflichtung zu Schadenersatz kann schon gegeben sein, wenn ein Produkt aufgrund der Form der Darbietung bei einem nichtgewerblichen Endverbraucher eine tatsächlich nicht vorhandene Vorstellung über die Sicherheit des Produktes erweckt, aber auch wenn damit zu rechnen ist, dass der Endverbraucher nicht die erforderlichen Vorschriften über die Sicherheit beachtet, die beim Umgang mit diesem Produkt einzuhalten wären.

Es muss daher stets nachweisbar sein, dass der nichtgewerbliche Endverbraucher mit den Sicherheitsregeln vertraut gemacht wurde.

Bitte weisen Sie daher im Interesse der Sicherheit Ihre nichtgewerblichen Abnehmer stets auf Folgendes hin:

Sicherheitsvorschriften

Beim Umgang mit Produkten, die mit elektrischer Spannung in Berührung kommen, müssen die gültigen VDE-Vorschriften beachtet werden.

Besonders sei auf folgende Vorschriften hingewiesen:

VDE0100; VDE0550/0551; VDE0700; VDE0711; VDE0860.

Sie erhalten VDE-Vorschriften beim vde-Verlag GmbH, Bismarckstraße 33, 10625 Berlin.

- * Vor Öffnen eines Gerätes den Netzstecker ziehen oder sicherstellen, dass das Gerät stromlos ist.
- * Bauteile, Baugruppen oder Geräte dürfen nur in Betrieb genommen werden, wenn sie vorher in ein berührungssicheres Gehäuse eingebaut wurden. Während des Einbaus müssen sie stromlos sein.
- * Werkzeuge dürfen an Geräten, Bauteilen oder Baugruppen nur benutzt werden, wenn sichergestellt ist, dass die Geräte von der Versorgungsspannung getrennt sind und elektrische Ladungen, die in im Gerät befindlichen Bauteilen gespeichert sind, vorher entladen wurden.
- * Spannungsführende Kabel oder Leitungen, mit denen das Gerät, das Bauteil oder die Baugruppe verbunden sind, müssen stets auf Isolationsfehler oder Bruchstellen untersucht werden. Bei Feststellen eines Fehlers in der Zuleitung muss das Gerät unverzüglich aus dem Betrieb genommen werden, bis die defekte Leitung ausgewechselt worden ist.
- * Bei Einsatz von Bauelementen oder Baugruppen muss stets auf die strikte Einhaltung der in der zugehörigen Beschreibung genannten Kenndaten für elektrische Größen hingewiesen werden.
- * Wenn aus den vorgelegten Beschreibungen für den nichtgewerblichen Endverbraucher nicht eindeutig hervorgeht, welche elektrischen Kennwerte für ein Bauteil gelten, so muss stets ein Fachmann um Auskunft ersucht werden.

Im Übrigen unterliegt die Einhaltung von Bau und Sicherheitsvorschriften aller Art (VDE, TÜV, Berufsgenossenschaften usw.) dem Anwender/Käufer.

18. EG-Konformitätserklärung

Für das folgende Erzeugnis

ADIODA-PCIF12_{MDA}
EDV-Nummer A-407800

wird hiermit bestätigt, dass es den Anforderungen der betreffenden EG-Richtlinien entspricht. Bei Nichteinhaltung der im Handbuch angegebenen Vorschriften zum bestimmungsgemäßen Betrieb des Produktes verliert diese Erklärung ihre Gültigkeit.

EN 5502 Klasse B
IEC 801-2
IEC 801-3
IEC 801-4
EN 50082-1
EN 60555-2
EN 60555-3

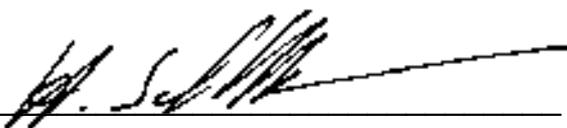
Diese Erklärung wird verantwortlich für den Hersteller

Messcomp Datentechnik GmbH
Neudecker Str. 11
83512 Wasserburg

abgegeben durch

Dipl.Ing.(FH) Hans Schnellhammer
(Geschäftsführer)

Wasserburg, 12.04.2006



Referenzsystem-Bestimmungsgemäßer Betrieb

Die PC-Erweiterungskarte ist ein nicht selbständig betreibbares Gerät, dessen CE-Konformität nur bei gleichzeitiger Verwendung von zusätzlichen Computerkomponenten beurteilt werden kann. Die Angaben zur CE-Konformität beziehen sich deshalb ausschließlich auf den bestimmungsgemäßen Einsatz der PC-Erweiterungskarte in folgendem Referenzsystem:

Schaltschrank:	Vero IMRAK 3400	804-530061C 802-563424J 802-561589J
19" Gehäuse:	Vero PC-Gehäuse	145-010108L
19" Gehäuse:	Zusatzelektronik	519-112111C
Motherboard:	GA-586HX	PIV 1.55
Floppy-Controller:	auf Motherboard	
Floppy:	TEAC	FD-235HF
Grafikkarte:	Advantech	PCA-6443
Schnittstellen:	ADIODA-PCIF12 _{MDA}	A-407800